

日本国特許庁  
JAPAN PATENT OFFICE

10/689, 554

M. SUMITA et al.

October 21, 2003

61282-039

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月20日  
Date of Application:

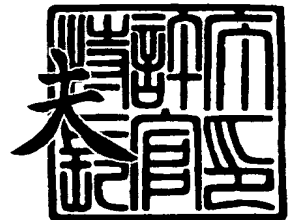
出願番号 特願2003-358891  
Application Number:  
[ST. 10/C]: [JP 2003-358891]

出願人 松下電器産業株式会社  
Applicant(s):

2003年12月18日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康



出証番号 出証特2003-3105216

【書類名】 特許願  
【整理番号】 5038250018  
【提出日】 平成15年10月20日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 11/413  
G11C 11/407

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社  
【氏名】 炭田 昌哉

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社  
【氏名】 崎山 史朗

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社  
【氏名】 木下 雅善

【特許出願人】  
【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社

【代理人】  
【識別番号】 100105647  
【弁理士】  
【氏名又は名称】 小栗 昌平  
【電話番号】 03-5561-3990

【選任した代理人】  
【識別番号】 100105474  
【弁理士】  
【氏名又は名称】 本多 弘徳  
【電話番号】 03-5561-3990

【選任した代理人】  
【識別番号】 100108589  
【弁理士】  
【氏名又は名称】 市川 利光  
【電話番号】 03-5561-3990

【選任した代理人】  
【識別番号】 100115107  
【弁理士】  
【氏名又は名称】 高松 猛  
【電話番号】 03-5561-3990

【選任した代理人】  
【識別番号】 100090343  
【弁理士】  
【氏名又は名称】 栗宇 百合子  
【電話番号】 03-5561-3990

【先の出願に基づく優先権主張】  
【出願番号】 特願2002-306138  
【出願日】 平成14年10月21日

【手数料の表示】  
【予納台帳番号】 092740  
【納付金額】 21,000円

【提出物件の目録】

【物件名】	特許請求の範囲	1
【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【包括委任状番号】		0002926

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板上に複数の MOSFET を備えた集積回路本体と、

前記複数の MOSFET のうちの少なくとも一つのドレイン電流をモニタするモニタ手段と、

前記ドレイン電流が一定になるように、前記半導体基板の基板電圧を制御する基板電圧調整手段を具備したことを特徴とする半導体集積回路装置。

**【請求項 2】**

前記基板電圧調整手段を複数備えることを特徴とする請求項 1 に記載の半導体集積回路装置。

**【請求項 3】**

複数の MOSFET のそれぞれの閾値がそろった値となるように基板電位を調整する第 1 の基板電圧調整手段と、

複数の MOSFET のそれぞれのドレイン電流が一定であるように基板電圧を調整する第 2 の基板電圧調整手段と、を有し、

前記集積回路本体におけるノイズマージンが所定の値よりも低い部分の基板電圧調整には、第 1 の基板電圧調整手段が用いられ、

前記集積回路本体におけるノイズマージンが所定の値よりも高い部分の基板電圧調整には、第 2 の基板電圧調整手段が用いられることを特徴とする請求項 2 に記載の半導体集積回路装置。

**【請求項 4】**

前記集積回路本体を複数の領域に分け、それぞれの領域内又は領域の近傍に、領域内の MOSFET の基板電圧を調整する基板電圧調整手段を接続することを特徴とする請求項 2 に記載の半導体集積回路装置。

**【請求項 5】**

前記集積回路本体に基板電圧に対するデバイス特性の異なる MOSFET が混載され、前記デバイス特性が略同一の MOSFET 群に対しては同じ基板電圧調整手段を接続することを特徴とする請求項 2 に記載の半導体集積回路装置。

**【請求項 6】**

前記ドレイン電流は、サブスレッショルド領域あるいは飽和領域のある任意のゲート電圧値におけるドレイン電流であることを特徴とする請求項 1～5 のいずれかに記載の半導体集積回路装置。

**【請求項 7】**

前記基板電圧調整手段によりトランジスタの GM を一定することを特徴とする請求項 1～5 のいずれかに記載の半導体集積回路装置。

**【請求項 8】**

前記モニタ手段は、定電流源と、前記複数の MOSFET と同一基板上に形成されたモニタ用 MOSFET と、を具備し、

前記基板電圧調整手段は、前記モニタ用 MOSFET のドレイン端子と、集積回路本体の前記複数の MOSFET のドレイン端子と、を接地電位に接続した状態で、前記モニタ用 MOSFET のソース電位と、あらかじめ決められた基準電位と、を比較する比較手段を具備し、前記比較手段による比較結果に基づいて出力された出力電圧を、前記モニタ用 MOSFET の基板電圧にフィードバックしたことを特徴とする請求項 1～7 のいずれかに記載の半導体集積回路装置。

**【請求項 9】**

前記基準電位は、集積回路本体への供給電位であることを特徴とする請求項 8 に記載の半導体集積回路装置。

**【請求項 10】**

前記基板電圧調整手段は、前記比較手段の比較結果に基づいて出力された出力電圧に対し、リミット手段により、前記出力電圧の上限と下限に制限を加えた電圧値を出力すること

を特徴とする請求項 8 に記載の半導体集積回路装置。

【請求項 11】

前記モニタ用 MOSFET は、モニタ用 P 型 MOSFET であり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の電源電位以上、かつ、前記モニタ用 P 型 MOSFET に GIDL 効果が発生しない範囲の電圧に設定され、

前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の電源電位以下、かつ、前記モニタ用 P 型 MOSFET がバイポーラ特性を示さない範囲の電圧に設定されたことを特徴とする請求項 10 に記載の半導体集積回路装置。

【請求項 12】

前記モニタ用 MOSFET は、モニタ用 N 型 MOSFET であり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の接地電位以上、かつ、前記モニタ用 N 型 MOSFET がバイポーラ特性を示さない範囲の電圧に設定され、

前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の接地電位以下、かつ、前記モニタ用 N 型 MOSFET に GIDL 効果が発生しない範囲の電圧に設定されたことを特徴とする請求項 10 に記載の半導体集積回路装置。

【請求項 13】

前記リミット手段の出力が、前記半導体集積回路本体に電源電圧を供給する電圧供給手段に接続され、

基板電圧が上限リミット電圧以上の場合には前記電源電圧を上昇させ、基板電圧が下限リミット電圧以下の場合には、前記電源電圧を減少させるように構成されたことを特徴とする請求項 10 に記載の半導体集積回路装置。

【請求項 14】

前記定電流源は、前記モニタ用 MOSFET とそのトランジスタサイズが略同一であるリーク電流キャンセル用 MOSFET を有し、

前記リーク電流キャンセル用 MOSFET が N 型 MOSFET の場合は、当該 N 型 MOSFET のゲートとソースが略同電位である際のソースドレイン間の電流を加算し、

前記リーク電流キャンセル用 MOSFET が P 型 MOSFET の場合は、当該 P 型 MOSFET のゲートとドレインが略同電位である際のソースドレイン間の電流を加算することを特徴とする請求項 8 に記載の半導体集積回路装置。

【請求項 15】

前記リーク電流キャンセル用 MOSFET の基板となるウエル領域は、前記モニタ用 MOSFET の基板となるウエル領域と分離されていることを特徴とする請求項 14 に記載の半導体集積回路装置。

【請求項 16】

複数の MOSFET のそれぞれの閾値がそろった値となるように基板電位を調整する基板電圧調整手段を有し、

前記モニタ用 MOSFET のゲートに与える電圧を一定とした場合の前記閾値の温度勾配より、勾配が緩くなるように温度に応じて電圧値を変えて前記ゲートに電圧を印可することを特徴とする請求項 8 に記載の半導体集積回路装置。

【請求項 17】

周波数－電圧変換手段を有し、

前記周波数－電圧変換手段に、集積回路本体に対して供給するクロックを元とする信号が入力され、

当該信号の周波数が前記周波数－電圧変換手段により電圧に変換され、

当該電圧が前記モニタ手段を構成する MOSFET のゲートに印加されるように構成されたことを特徴とする請求項 8 に記載の半導体集積回路装置。

【請求項 18】

P 型 MOSFET の基板となる N ウエル領域と、当該 N ウエル領域の内側に設けられ、N 型 MOSFET の基板となる P ウエル領域と、を備えた半導体集積回路装置において、

第 2 の P ウエル領域と第 2 の N ウエル領域とを設け、

前記第 2 の P ウェル領域は、前記 N 型 MOS F E T の基板電位と電氣的に接続され、かつ、前記第 2 の N ウェル領域は、前記 N 型 MOS F E T の接地電位と電氣的に接続されたことを特徴とする請求項 1 ～ 1 7 のいずれかに記載の半導体集積回路装置。

【請求項 1 9】

MOS F E T のソースと基板が独立に制御される半導体集積回路装置において、

前記 MOS F E T のソースと前記 MOS F E T の基板との間に、MOS F E T のゲート容量を付加することを特徴とする請求項 1 ～ 1 8 のいずれかに記載の半導体集積回路装置。

【請求項 2 0】

P 型 MOS F E T の基板となる N ウェル領域と、当該 N ウェル領域の内側に設けられ、N 型 MOS F E T の基板となる P ウェル領域と、を備えた半導体集積回路装置において、

前記 P ウェル領域と前記 N 型 MOS F E T の接地電位との間の電気容量値が、前記 P ウェル領域と前記 N ウェル領域との間の電気容量値よりも大きいことを特徴とする請求項 1 ～ 1 9 のいずれかに記載の半導体集積回路装置。

【請求項 2 1】

前記集積回路本体は、帰還バッファを備え、当該帰還バッファを構成する MOS F E T の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1 ～ 2 0 のいずれかに記載の半導体集積回路装置。

【請求項 2 2】

前記集積回路本体は、メモリ回路を備え、当該メモリ回路を構成する MOS F E T の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1 ～ 2 0 のいずれかに記載の半導体集積回路装置。

【請求項 2 3】

前記集積回路本体は、S R A M を備え、当該 S R A M を構成する MOS F E T の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1 ～ 2 0 のいずれかに記載の半導体集積回路装置。

【請求項 2 4】

前記集積回路本体は、タイミングボロー方式の回路を備え、当該タイミングボロー方式の回路を構成する MOS F E T の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1 ～ 2 0 のいずれかに記載の半導体集積回路装置。

【請求項 2 5】

前記集積回路本体は、差動型オペアンプを備え、当該差動型オペアンプを構成する MOS F E T の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1 ～ 2 0 のいずれかに記載の半導体集積回路装置。

【請求項 2 6】

前記集積回路本体は、電圧制御オシレータを備え、当該電圧制御オシレータを構成する MOS F E T の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1 ～ 2 0 のいずれかに記載の半導体集積回路装置。

【請求項 2 7】

前記集積回路本体は、C M O S ロジック回路を備え、当該 C M O S ロジック回路を構成する MOS F E T の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1 ～ 2 0 のいずれかに記載の半導体集積回路装置。

【請求項 2 8】

前記集積回路本体は、電流制御オシレータを備え、当該電流制御オシレータを構成する MOS F E T の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする請求項 1 ～ 2 0 のいずれかに記載の半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体集積回路装置

【技術分野】

【0001】

本発明は、半導体集積回路装置に関し、特に、微細化されたMOSFETに対する低電源電圧駆動下における基板電圧制御が可能な半導体集積回路装置に関する。

【背景技術】

【0002】

近年、半導体集積回路装置の製造に対する微細化プロセスの進化に伴い、MOSFETのチャネル長が0.1 $\mu$ mオーダー以下のプロセスで製造されるようになってきた。このようなプロセスの微細化に対し、電源電圧も1V以下の低電源電圧を用いるようになり、以下のような報告がなされている。

【0003】

電源電圧が1V以下の環境では、MOSFETの閾値と電圧値とがスケーリングされておらず、低温条件下と高温条件下とにおいて、CMOS回路の動作スピードの逆転現象が生じていることが報告されている（非特許文献1参照）。

【0004】

また、半導体集積回路装置の一例であるSRAMにおいて、微細化が進むとノイズマージンの低下により、そのメモリセルへのデータ読み出し、書き込みの安定動作が困難になることが報告されている（非特許文献2参照）。

【0005】

また、低電源電圧下での動作下限電圧を下げる技術としては、P型およびN型MOSFETのソースドレイン間電流のバランスを基板電圧によって、制御する方法がある（非特許文献3参照）。

【0006】

上記のような（非特許文献3に示された）方法では、任意のクリティカルパスの遅延とクロックの周期を比較し、P型およびN型MOSFETの基板電圧を制御し、更に、P型MOSFETとN型MOSFETとによって構成されるインバータの入力と出力とをショートする。この方法により、上記インバータの電圧値と任意に設定された電圧モニタの電圧値とを比較し、MOSFETのプロセスばらつきによる補正を加え、所定の電圧で動作の安定をはかるものである。

【0007】

【非特許文献1】 Kouichi Kanda, 外3名, "Design Impact of Positive Temperature Dependence on Drain Current in Sub-1V CMOS VLSIs", 2001年10月, IEEE Journal of Solid-State Circuits, vol.36, No.10, p.1559-1564

【非特許文献2】 道関 隆国, 外1名, "微細CMOSメモリセルのスタティックノイズマージン解析" 電子情報通信学会論文誌1992年7月, P.350-361

【非特許文献3】 Goichi Ono, 外1名, "Threshold-voltage Balance for Minimum Supply Operation", 2002 IEEE, 2002 Symposium on VLSI Circuits Digest of Technical Papers

【非特許文献4】 Tzuen-Hsi Huang et al, "Base Current Reversal Phenomenon in a CMOS Compatible High Gain n-p-n Gated Lateral Bipolar Transistor", Feb 1995, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.42 NO.2, P321

【非特許文献5】 Hiroyuki Mizuno, 外7名, "An 18- $\mu$ A Standby Current 1.8-V, 200-MHz Microprocessor with Self-Substrate-Biased Data-Retention Mode", NOVEMBER 1999, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 34, NO. 11, p.1492-1500

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記非特許文献3に開示された技術等の従来技術では、上記非特許文献1で示された、電源電圧が1V以下の環境で、低温条件下と高温条件下とにおいて、CMOS回路の動作スピードの逆転現象が生じることへの考慮はなされておらず、温度依存性がないようにMOSFETの基板電圧を制御することができないものである。

【0009】

また、従来の低電圧技術（上記非特許文献3：Fig.9 P/N Vt matching scheme参照）では、P/Nバランスの調整においては、P型MOSFETを基に、N型MOSFETの $I_{ds}$ を調整するため、サブスレッショルドリーク電流や飽和電流を最適な値にすることはできない。

【0010】

つまり、この方式では、大規模なメモリが搭載された半導体集積回路装置において、そのメモリ内のリーク電流が、他の論理回路の数十倍乃至数百倍となる場合、動作安定性の向上をはかることができない。

【0011】

あるいは、アナログのオペアンプの出力レンジ範囲の特性の保証ができない。また、タイミングボロー方式でよく用いられるプリチャージタイプの回路である、ダイナミック回路、ドミノ回路といった回路では、ノイズマージンがMOSFETのしきい値で決定されるため、動作を安定させる最適な閾値が供給できないという課題がある。

【0012】

仮に、上記非特許文献3（Fig.9参照）と同じ方式でN型MOSFETを基準にしてP型MOSFETの基板制御を行う“scheme”がもうひとつ搭載されていたと仮定する。そして、プロセスばらつきで、P型MOSFETの $I_{ds}$ が高く、N型MOSFETの $I_{ds}$ が低いものが製造されたとする。

この場合、P型MOSFETの $I_{ds}$ が高いので、上記非特許文献3（Fig.9参照）では、N型MOSFETの $I_{ds}$ を高くしている。また、N型MOSFETの $I_{ds}$ が低いので、P型MOSFETの $I_{ds}$ を低くなるように、P型MOSFETの基板制御がなされる。

【0013】

結局、上記方式を用いると、プロセスばらつきと逆の特性をもつMOSFETとなる。つまり、P型MOSFETの $I_{ds}$ は低くコントロールされ、N型MOSFETの $I_{ds}$ は高くコントロールされる。以上のように仮に、N、P両方のMOSFETを基準にした回路が独立にあったとしても、P、Nの $I_{ds}$ を最適化できない。

【0014】

また、上記非特許文献3（Fig.11 SA-Vt CMOS system参照）の技術は、所定のクリティカルパスの遅延に依存する制御方法であるため、上記所定のクリティカルパスに相当するダミーパスの回路を物理的に配置しなければならず、半導体集積回路装置の面積が増大化してしまう。

【0015】

また、上記非特許文献3の技術にあるような、クリティカルパスの遅延でMOSFETの基板バイアスを制御する方法では、クリティカルパス内に基板バイアス依存性の異なるMOSFET素子、例えば、ゲート酸化膜圧が異なる素子、又は、ゲート酸化膜の誘電率が異なる素子などでは、回路の遅延をあわせるためには、各々の基板バイアス依存性の異なる素子に異なる基板電位を与えることができない。

【0016】

更に、半導体集積回路装置において、プロセス条件、温度条件、電圧条件等の各条件下における多数のクリティカルパスが存在し、それらの論理生成回路が異なる場合は、これらの多数のクリティカルパスに相当するダミーパスの回路を物理的に多数配置しなければならず、半導体集積回路装置の面積が更に増大化してしまう。

【0017】

また、基板電圧を大きくかけると、トランジスタ特性は、通常の振る舞いの逆を示す。



これは、フォワードバイアス側では、フォワード電圧をかけすぎると、バイポーラ特性を示し、基板ードレイン間に準方向の電流が流れてしまう。また、ドレインソース間の電流は、基板電圧によって増幅される。これにより、ゲート電圧による、ドレインソース間の電流制御が効かなくなる。

【0018】

また、バックバイアス側では、バックバイアスをかけすぎると、サブスレッショルド電流が増加する効果である GIDL (Gate-Induced Drain Leakage) 効果があらわれる。このように、基板電圧を極端にかけると特性が逆特性となり、フィードバックがかからなくなり、デッドロックがかかってしまう課題がある。

【0019】

なお、上記、バイポーラ効果に関しては、非特許文献 4 などに記載されている。GIDL 効果に関しては、非特許文献 5 等に記載されている。

【0020】

本発明は上述の事情を考慮してなされたもので、MOSFET のドレイン電流、特に、サブスレッショルド領域、あるいは飽和領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように MOSFET の基板電圧を制御可能であり、動作安定性の向上を図ることができる半導体集積回路装置を提供することを目的とする。

【課題を解決するための手段】

【0021】

前述した目的を達成するために、請求項 1 に記載した発明は、半導体基板上に複数の MOSFET を備えた集積回路本体と、前記複数の MOSFET のうちの少なくとも一つのドレイン電流をモニタするモニタ手段と、前記ドレイン電流が一定になるように、前記半導体基板の基板電圧を制御する基板電圧調整手段を具備したことを特徴とする。

上記構成により、モニタ手段が MOSFET のドレイン電流をモニタし、そのモニタされた電流値に応じて、基板電圧調整手段が基板電流を調整して、集積回路本体の複数の MOSFET のドレイン電流を最適な値に調整する。この調整により、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。よって、半導体集積回路装置の動作安定性の向上を図ることができる。

【0022】

また、請求項 2 に記載した発明は、前記基板電圧調整手段を複数備えることを特徴とする。

これにより、半導体集積回路内に異なる特性の回路や素子が存在する場合などにおいて、複数の基板電圧調整手段をそれぞれの回路や素子に適した基板電圧に調整することができる。

【0023】

また、請求項 3 に記載した発明は、複数の MOSFET のそれぞれの閾値がそろった値となるように基板電位を調整する第 1 の基板電圧調整手段と、複数の MOSFET のそれぞれのドレイン電流が一定であるように基板電圧を調整する第 2 の基板電圧調整手段と、を有し、前記半導体集積回路本体におけるノイズマージンが所定の値よりも低い部分の基板電圧調整には、第 1 の基板電圧調整手段が用いられ、前記半導体集積回路本体におけるノイズマージンが所定の値よりも高い部分の基板電圧調整には、第 2 の基板電圧調整手段が用いられることを特徴とする。

これにより、回路の安定動作が実現可能となり、更に、低電圧下での遅延時間の温度依存性の逆転を防ぐことが可能となり、高温下でのリーク電流を削減することが可能となる。また、回路の高速化が可能となり、更に低電圧下での遅延時間の温度依存性の逆転を防ぐことが可能となり、高温下でのリーク電流を削減することが可能となる。

【0024】

また、請求項4に記載した発明は、前記集積回路本体を複数の領域に分け、それぞれの領域内又は領域の近傍に、領域内のMOSFETの基板電圧を調整する基板電圧調整手段を接続することを特徴とする。

これにより、半導体集積回路内のMOSFETにおけるデバイス特性が局所依存性を持つ場合に対して、各領域毎に適正なしきい値、飽和電流を得るための基板電圧をそれぞれ印可することが可能となり、半導体集積回路内の回路特性のばらつきを削減することが可能となる。

#### 【0025】

また、請求項5に記載した発明は、前記集積回路本体に基板電圧に対するデバイス特性の異なるMOSFETが混載され、前記デバイス特性が略同一のMOSFET群に対しては同じ基板電圧調整手段を接続することを特徴とする。

これにより、基板電圧に対するデバイス特性の異なるそれぞれのMOSFET群に対し、回路のノイズマージンを劣化させることなく、それぞれ適正な基板電圧を印可することが可能となる。

#### 【0026】

また、請求項6に記載した発明は、前記ドレイン電流は、サブスレッショルド領域あるいは飽和領域のある任意のゲート電圧値におけるドレイン電流であることを特徴とする。

上記構成により、MOSFETのサブスレッショルド領域あるいは飽和領域のある任意のゲート電圧値のドレイン電流を、モニタ手段によってモニタすることにより、集積回路本体の複数のMOSFETのサブスレッショルド領域あるいは飽和領域のドレイン電流を最適な値に調整する。

この調整により、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。よって、半導体集積回路装置の動作安定性の向上を図ることができる。

#### 【0027】

また、請求項7に記載した発明は、前記基板電圧調整手段によりトランジスタのGMを一定することを特徴とする。

これにより、所定の電圧値近傍のGM一定回路が構成でき、半導体集積回路装置の温度依存や電源依存性がないようにトランジスタのGMの一定化が実現できる。

#### 【0028】

また、請求項8に記載した発明は、前記モニタ手段は、定電流源と、前記複数のMOSFETと同一基板上に形成されたモニタ用MOSFETと、を具備し、前記基板電圧調整手段は、前記モニタ用MOSFETのドレイン端子と、集積回路本体の前記複数のMOSFETのドレイン端子と、を接地電位に接続した状態で、前記モニタ用MOSFETのソース電位と、あらかじめ決められた基準電位と、を比較する比較手段を具備し、前記比較手段による比較結果に基づいて出力された出力電圧を、前記モニタ用MOSFETの基板電圧にフィードバックしたことを特徴とする。

上記構成により、定電流源とモニタ用MOSFETとで構成されたモニタ手段がMOSFETのドレイン電流をモニタし、そのモニタされた電流値に応じて決められるモニタ用MOSFETのソース電位と、あらかじめ決められた基準電位とを比較手段によって比較して出力し、モニタ用MOSFETの基板電圧にフィードバックすることによって、集積回路本体に配置された複数のMOSFETのそれぞれの閾値（ $V_{th}$ ）をそろえること、もしくは、それぞれのドレイン電流（ $I_{ds}$ ）がそろえることができる。このように、MOSFETの閾値（ $V_{th}$ ）もしくはドレイン電流（ $I_{ds}$ ）がそろった値となり、集積回路本体の複数のMOSFETのドレイン電流を最適な値に調整される。

これによって、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。

#### 【0029】

また、請求項9に記載した発明は、前記基準電位は、集積回路本体への供給電位であることを特徴とする。

上記構成により、集積回路本体の供給電位である電源電位や接地電位とモニタ用MOSFETのソース電位とを比較手段によって比較して出力し、モニタ用MOSFETの基板電圧にフィードバックすることによって、集積回路本体に配置された複数のMOSFETのそれぞれの閾値 ( $V_{th}$ ) をそろえること、もしくは、それぞれのドレイン電流 ( $I_{ds}$ ) がそろえることができる。このように、MOSFETの閾値 ( $V_{th}$ ) もしくはドレイン電流 ( $I_{ds}$ ) がそろった値となり、集積回路本体の複数のMOSFETのドレイン電流を最適な値に調整される。

これによって、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。

#### 【0030】

また、請求項10に記載した発明は、前記基板電圧調整手段が、前記比較手段の比較結果に基づいて出力された出力電圧に対し、リミット手段により、前記出力電圧の上限と下限とに制限を加えた電圧値を出力することを特徴とする。

上記構成により、比較手段の比較結果に基づいて出力された出力を、リミット手段により所定の値の範囲内に制限するので、基板電圧調整手段から出力される基板電圧の上限と下限とに制限を加えることができ、モニタ用MOSFETの基板電圧に適切なフィードバックがかからなく、基板電圧調整手段が異常な状態で安定化してしまう所謂“デッドロック”を防ぐことができる。

#### 【0031】

また、請求項11に記載した発明は、前記モニタ用MOSFETが、モニタ用P型MOSFETであり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の電源電位以上、かつ、前記モニタ用P型MOSFETにGIDL効果が発生しない範囲の電圧に設定され、前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の電源電位以下、かつ、前記モニタ用P型MOSFETがバイポーラ特性を示さない範囲の電圧に設定されたことを特徴とする。

これにより、基板電圧を大きくかけた場合に、トランジスタ特性が通常の特性とは逆を示すGIDL効果を防止することができると共に、バイポーラ特性を示し、基板ードレイン間に順方向の電流が流れ、ドレインーソース間の電流が減少してしまうことを防ぐことができる。

#### 【0032】

また、請求項12に記載した発明は、前記モニタ用MOSFETが、モニタ用N型MOSFETであり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の接地電位以上、かつ、前記モニタ用N型MOSFETがバイポーラ特性を示さない範囲の電圧に設定され、前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の接地電位以下、かつ、前記モニタ用N型MOSFETにGIDL効果が発生しない範囲の電圧に設定されたことを特徴とする。

これにより、基板電圧を大きくかけた場合に、トランジスタ特性が通常の特性とは逆を示すGIDL効果を防止することができると共に、バイポーラ特性を示し、基板ードレイン間に順方向の電流が流れ、ドレインソース間の電流が減少してしまうことを防ぐことができる。

#### 【0033】

また、請求項13に記載した発明は、前記リミット手段の出力が、前記半導体集積回路本体に電源電圧を供給する電圧供給手段に接続され、基板電圧が上限リミット電圧以上の場合には前記電源電圧を上昇させ、基板電圧が下限リミット電圧以下の場合には、前記電源電圧を減少させるように構成されたことを特徴とする。

これにより、集積回路本体に供給する電源電圧を可変にでき、基板電圧調整手段によるMOSFETのしきい値特性、飽和電流特性、GM特性の改善を更に確実することができ

る。

#### 【0034】

また、請求項14に記載した発明は、前記定電流源は、前記モニタ用MOSFETとそのトランジスタサイズが略同一であるリーク電流キャンセル用MOSFETを有し、前記リーク電流キャンセル用MOSFETがN型MOSFETの場合は、当該N型MOSFETのゲートとソースが略同電位である際のソースドレイン間の電流を加算し、前記リーク電流キャンセル用MOSFETがP型MOSFETの場合は、当該P型MOSFETのゲートとドレインが略同電位である際のソースドレイン間の電流を加算することを特徴とする。

これにより、寄生バイポーラや、GIDL効果のリーク成分をキャンセルすることができ、モニタ手段のMOSFETの本来のしきい値、飽和電流を確保できる基板電圧を印可することが可能となる。

#### 【0035】

また、請求項15に記載した発明は、前記リーク電流キャンセル用MOSFETの基板となるウエル領域は、前記モニタ用MOSFETの基板となるウエル領域と分離されていることを特徴とする。

これにより、モニタ手段のMOSFETとリーク電流キャンセル用MOSFETの間の寄生バイポーラによるリーク電流成分をなくすことが可能となり、モニタ手段のMOSFETの本来のしきい値、飽和電流を確保できる基板電圧を印可することが可能となる。

#### 【0036】

また、請求項16に記載した発明は、複数のMOSFETのそれぞれの閾値がそろった値となるように基板電位を調整する基板電圧調整手段を有し、前記モニタ用MOSFETのゲートに与える電圧を一定とした場合の前記閾値の温度勾配より、勾配が緩くなるように温度に応じて電圧値を変えて前記ゲートに電圧を印可することを特徴とする。

これにより、基板電圧調整手段のモニタ用MOSFETのゲート電圧が一定の場合よりも、MOSFETのジャンクション容量の減少による集積回路本体の利得を下げることができ、また、温度が変化した場合においても、集積回路本体内の各MOSFETの閾値のばらつきを抑制することができる。

#### 【0037】

また、請求項17に記載した発明は、周波数-電圧変換手段を有し、前記周波数-電圧変換手段に、集積回路本体に対して供給するクロックを元とする信号が入力され、当該信号の周波数が前記周波数-電圧変換手段により電圧に変換され、当該電圧が前記モニタ手段を構成するMOSFETのゲートに印加されるように構成されたことを特徴とする。

これにより、閾値( $V_{th}$ )一定回路で調整される閾値は、集積回路本体にクロック低周波数時のほうが高周波時よりも高く設定することが可能となり、低周波数で使用する際MOSFETの素子のリークが削減される。

#### 【0038】

また、請求項18に記載した発明は、P型MOSFETの基板となるNウエル領域と、当該Nウエル領域の内側に設けられ、N型MOSFETの基板となるPウエル領域と、を備えた半導体集積回路装置において、第2のPウエル領域と第2のNウエル領域とを設け、前記第2のPウエル領域は、前記N型MOSFETの基板電位と電気的に接続され、かつ、前記第2のNウエル領域は、前記N型MOSFETの接地電位と電気的に接続されたことを特徴とする。

これにより、N型MOSFETのソースと基板間の電圧変動が少なくなり、高精度な基板電圧印可が可能となる。

#### 【0039】

また、請求項19に記載した発明は、MOSFETのソースと基板が独立に制御される半導体集積回路装置において、前記MOSFETのソースと前記MOSFETの基板との間に、MOSFETのゲート容量を付加することを特徴とする。

これにより、N型MOSFETのソースと基板間の電圧変動が少なくなり、高精度な基

板電圧印可が可能となる。

【0040】

また、請求項20に記載した発明は、P型MOSFETの基板となるNウエル領域と、当該Nウエル領域の内側に設けられ、N型MOSFETの基板となるPウエル領域と、を備えた半導体集積回路装置において、前記Pウエル領域と前記N型MOSFETの接地電位との間の電気容量値が、前記Pウエル領域と前記Nウエル領域との間の電気容量値よりも大きいことを特徴とする。

これにより、N型MOSFETのソースと基板間の電圧変動が少なくなり、更に高精度な基板電圧印可が可能となる。

【0041】

また、請求項21に記載した発明は、前記集積回路本体が、帰還バッファを備え、当該帰還バッファを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、帰還バッファが低電圧でも安定な動作が可能であり、更に、リーク電流が削減できる。

【0042】

また、請求項22に記載した発明は、前記集積回路本体が、メモリ回路を備え、当該メモリ回路を構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、メモリ回路内のMOSFETのソースー基板間の電圧値を、サブスレッショルド領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように制御され、サブスレッショルド領域リークによるメモリデータの破壊を防止することができる。

【0043】

また、請求項23に記載した発明は、前記集積回路本体が、SRAMを備え、当該SRAMを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、低電圧時のノイズマージンの温度依存性を削減できる。よって、低電圧で動作が可能となり、SRAMの低消費電力化を図ることができる。

【0044】

また、請求項24に記載した発明は、前記集積回路本体が、タイミングボロー方式の回路を備え、当該タイミングボロー方式の回路を構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、タイミングボロー方式の回路の温度依存性、プロセスばらつき依存性を削減できる（タイミングボロー方式の回路のスタティックノイズマージンは、MOSFETの閾値で決定されるので）。また、タイミングボロー方式の回路のリーク電流を削減することもできる。

【0045】

また、請求項25に記載した発明は、前記集積回路本体が、差動型オペアンプを備え、当該差動型オペアンプを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、差動型オペアンプの出力レンジの下限電圧の温度依存性、プロセスばらつき依存性を削減することができる。

【0046】

また、請求項26に記載した発明は、前記集積回路本体が、電圧制御オシレータを備え、当該電圧制御オシレータを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、電圧制御オシレータの入力電圧に対する周波数応答特性の温度依存性、プロセスばらつき依存性を削減することができる。

【0047】

また、請求項 27 に記載した発明は、前記集積回路本体が、CMOS ロジック回路を備え、当該 CMOS ロジック回路を構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、CMOS ロジック回路における遅延の温度依存性、プロセスばらつき依存性を削減することができる。

【0048】

また、請求項 28 に記載した発明は、前記集積回路本体が、電流制御オシレータを備え、当該電流制御オシレータを構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことを特徴とする。

これにより、電流制御オシレータの遅延値がそろい、発振周波数の温度依存性、プロセスばらつき依存性を削減することができる。

【発明の効果】

【0049】

請求項 1 に記載した発明によれば、半導体基板上に複数の MOSFET を備えた集積回路本体と、前記複数の MOSFET のうちの少なくとも一つのドレイン電流をモニタするモニタ手段と、前記ドレイン電流が一定になるように、前記半導体基板の基板電圧を制御する基板電圧調整手段を具備したことにより、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。よって、半導体集積回路装置の動作安定性の向上を図ることができる。

【0050】

また、請求項 2 に記載した発明によれば、半導体集積回路内に異なる特性の回路や素子が存在する場合などにおいて、複数の基板電圧調整手段をそれぞれの回路や素子に適した基板電圧に調整することができる。

【0051】

また、請求項 3 に記載した発明によれば、回路の安定動作が実現可能となり、更に、低電圧下での遅延時間の温度依存性の逆転を防ぐことが可能となり、高温下でのリーク電流を削減することが可能となる。また、回路の高速化が可能となり、更に低電圧下での遅延時間の温度依存性の逆転を防ぐことが可能となり、高温下でのリーク電流を削減することが可能となる。

【0052】

また、請求項 4 に記載した発明によれば、半導体集積回路内の MOSFET におけるデバイス特性が局所依存性を持つ場合に対して、各領域毎に適正なしきい値、飽和電流を得るための基板電圧をそれぞれ印可することが可能となり、半導体集積回路内の回路特性のばらつきを削減することが可能となる。

【0053】

また、請求項 5 に記載した発明によれば、基板電圧に対するデバイス特性の異なるそれぞれの MOSFET 群に対し、回路のノイズマージンを劣化させることなく、それぞれ適正な基板電圧を印可することが可能となる。

【0054】

また、請求項 6 に記載した発明によれば、前記ドレイン電流は、サブスレッショルド領域あるいは飽和領域のある任意のゲート電圧値におけるドレイン電流であることにより、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。よって、半導体集積回路装置の動作安定性の向上を図ることができる。

【0055】

また、請求項 7 に記載した発明によれば、前記基板電圧調整手段によりトランジスタの  $g_m$  を一定することにより、所定の電圧値近傍の  $g_m$  一定回路が構成でき、半導体集積回路装置の温度依存や電源依存性がないようにトランジスタの  $g_m$  の一定化が実現できる。

## 【0056】

また、請求項8に記載した発明によれば、前記モニタ手段が、定電流源と、前記複数のMOSFETと同一基板上に形成されたモニタ用MOSFETと、を具備し、前記基板電圧調整手段は、前記モニタ用MOSFETのドレイン端子と、集積回路本体の前記複数のMOSFETのドレイン端子と、を接地電位に接続した状態で、前記モニタ用MOSFETのソース電位と、あらかじめ決められた基準電位と、を比較する比較手段を具備し、前記比較手段による比較結果に基づいて出力された出力電圧を、前記モニタ用MOSFETの基板電圧にフィードバックしたことによって、集積回路本体に配置された複数のMOSFETのそれぞれの閾値( $V_{th}$ )をそろえること、もしくは、それぞれのドレイン電流( $I_{ds}$ )がそろえることができる。このように、MOSFETの閾値( $V_{th}$ )もしくはドレイン電流( $I_{ds}$ )がそろった値となり、集積回路本体の複数のMOSFETのドレイン電流を最適な値に調整される。

これによって、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。

## 【0057】

また、請求項9に記載した発明によれば、前記基準電位は、集積回路本体への供給電位であることによって、集積回路本体に配置された複数のMOSFETのそれぞれの閾値( $V_{th}$ )をそろえること、もしくは、それぞれのドレイン電流( $I_{ds}$ )がそろえることができる。このように、MOSFETの閾値( $V_{th}$ )もしくはドレイン電流( $I_{ds}$ )がそろった値となり、集積回路本体の複数のMOSFETのドレイン電流を最適な値に調整される。

これによって、半導体集積回路装置の温度が変化した場合のドレイン電流の温度依存性を少なくするようにでき、また、製造プロセスによって完成された個々の半導体集積回路装置の特性のばらつき（プロセスばらつき依存性）を少なくすることができる。

## 【0058】

また、請求項10に記載した発明によれば、前記基板電圧調整手段が、前記比較手段の比較結果に基づいて出力された出力電圧に対し、リミット手段により、前記出力電圧の上限と下限とに制限を加えた電圧値を出力することにより、モニタ用MOSFETの基板電圧に適切なフィードバックがかからなく、基板電圧調整手段が異常な状態で安定化してしまう所謂“デッドロック”を防ぐことができる。

## 【0059】

また、請求項11に記載した発明によれば、前記モニタ用MOSFETが、モニタ用P型MOSFETであり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の電源電位以上、かつ、前記モニタ用P型MOSFETにGIDL効果が発生しない範囲の電圧に設定され、前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の電源電位以下、かつ、前記モニタ用P型MOSFETがバイポーラ特性を示さない範囲の電圧に設定されたことにより、基板電圧を大きくかけた場合に、トランジスタ特性が通常の特性とは逆を示すGIDL効果を防止することができると共に、ラテラルバイポーラ特性を示し、基板ードレイン間に順方向の電流が流れ、ドレインソース間の電流が減少してしまうことを防ぐことができる。

## 【0060】

また、請求項12に記載した発明によれば、前記モニタ用MOSFETが、モニタ用N型MOSFETであり、前記基板電圧調整手段の出力電圧値の上限は、前記集積回路本体の接地電位以上、かつ、前記モニタ用N型MOSFETにバイポーラ特性を示さない範囲の電圧に設定され、前記基板電圧調整手段の出力電圧値の下限は、前記集積回路本体の接地電位以下、かつ、前記モニタ用N型MOSFETにGIDL効果が発生しない範囲の電圧に設定されたことにより、基板電圧を大きくかけた場合に、トランジスタ特性が通常の特性とは逆を示すGIDL効果を防止することができると共に、バイポーラ特性を示し、基板ードレイン間に順方向の電流が流れ、ドレインソース間の電流が減少してしまうこ

とを防ぐことができる。

【0061】

また、請求項13に記載した発明によれば、集積回路本体に供給する電源電圧を可変にでき、基板電圧調整手段によるMOSFETのしきい値特性、飽和電流特性、GM特性の改善を更に確実することができる。

【0062】

また、請求項14に記載した発明によれば、寄生バイポーラや、GIDL効果のリーク成分をキャンセルすることができ、モニタ手段のMOSFETの本来のしきい値、飽和電流を確保できる基板電圧を印可することが可能となる。

【0063】

また、請求項15に記載した発明によれば、モニタ手段のMOSFETとリーク電流キャンセル用MOSFETの間の寄生バイポーラによるリーク電流成分をなくすことが可能となり、モニタ手段のMOSFETの本来のしきい値、飽和電流を確保できる基板電圧を印可することが可能となる。

【0064】

また、請求項16に記載した発明によれば、基板電圧調整手段のモニタ用MOSFETのゲート電圧が一定の場合よりも、MOSFETのジャンクション容量の減少による集積回路本体の利得を下げることができ、また、温度が変化した場合においても、集積回路本体内の各MOSFETの閾値のばらつきを抑制することができる。

【0065】

また、請求項17に記載した発明によれば、閾値 ( $V_{th}$ ) 一定回路で調整される閾値は、集積回路本体にクロック低周波数時のほうが高周波時よりも高く設定することが可能となり、低周波数で使用する際MOSFETの素子のリークが削減される。

【0066】

また、請求項18に記載した発明によれば、N型MOSFETのソースと基板間の電圧変動が少なくなり、高精度な基板電圧印可が可能となる。

【0067】

また、請求項19に記載した発明によれば、N型MOSFETのソースと基板間の電圧変動が少なくなり、高精度な基板電圧印可が可能となる。

【0068】

また、請求項20に記載した発明によれば、N型MOSFETのソースと基板間の電圧変動が少なくなり、更に高精度な基板電圧印可が可能となる。

【0069】

また、請求項21に記載した発明によれば、前記集積回路本体が、帰還バッファを備え、当該帰還バッファを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことにより、帰還バッファが低電圧でも安定な動作が可能であり、さらに、リーク電流が削減できる。

【0070】

また、請求項22に記載した発明によれば、前記集積回路本体が、メモリ回路を備え、当該メモリ回路を構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことにより、メモリ回路内のMOSFETのソースー基板間の電圧値を、サブスレッショルド領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように制御され、サブスレッショルド領域リークによるメモリデータの破壊を防止することができる。

【0071】

また、請求項23に記載した発明によれば、前記集積回路本体が、SRAMを備え、当該SRAMを構成するMOSFETの基板電圧が、前記基板電圧調整手段により設定されたことにより、低電圧時のノイズマージンの温度依存性を削減できる。よって、低電圧で動作が可能となり、SRAMの低消費電力化を図ることができる。

【0072】



また、請求項 24 に記載した発明によれば、前記集積回路本体が、タイミングボロー方式の回路を備え、当該タイミングボロー方式の回路を構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことにより、タイミングボロー方式の回路の温度依存性、プロセスばらつき依存性を削減できる（タイミングボロー方式の回路のステイックノイズマージンは、MOSFET の閾値で決定されるので）。また、タイミングボロー方式の回路のリーク電流を削減することもできる。

【0073】

また、請求項 25 に記載した発明によれば、前記集積回路本体が、差動型オペアンプを備え、当該差動型オペアンプを構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことにより、差動型オペアンプの出力レンジの下限電圧の温度依存性、プロセスばらつき依存性を削減することができる。

【0074】

また、請求項 26 に記載した発明によれば、前記集積回路本体が、電圧制御オシレータを備え、当該電圧制御オシレータを構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことにより、電圧制御オシレータの入力電圧に対する周波数応答特性の温度依存性、プロセスばらつき依存性を削減することができる。

【0075】

また、請求項 27 に記載した発明によれば、前記集積回路本体が、CMOS ロジック回路を備え、当該 CMOS ロジック回路を構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことにより、CMOS ロジック回路における遅延の温度依存性、プロセスばらつき依存性を削減することができる。

【0076】

また、請求項 28 に記載した発明によれば、前記集積回路本体が、電流制御オシレータを備え、当該電流制御オシレータを構成する MOSFET の基板電圧が、前記基板電圧調整手段により設定されたことにより、電流制御オシレータの遅延値がそろい、発振周波数の温度依存性、プロセスばらつき依存性を削減することができる。

【発明を実施するための最良の形態】

【0077】

以下、本発明に係る実施の形態を図面に基づいて詳細に説明する。

（第 1 の実施の形態）

図 1 は、本実施の形態に係る半導体集積回路装置 10 A を示す回路図である。図 1 に示すように、半導体集積回路装置 10 A は、P 型 MOSFET 11 A と定電流源 12 A とからなるモニタ手段 15 A と、比較部 13 A（比較手段）とからなる閾値（ $V_{th}$ ）一定回路 14 A（基板電圧調整手段）と、集積回路本体 16 A とを具備する。

【0078】

第 1 の実施の形態において、MOSFET の閾値  $V_{th}$  は、例えば、 $V_{DD} = 1\text{ V}$  のとき、 $I_{ds} = 50\text{ nA} \times (W/L)$  となる場合の  $V_{gs}$ （ゲートソース間電圧）を  $V_{th}$  とした。なお、 $I_{ds}$  は、MOSFET のソースドレイン間電流であり、 $W$  は MOSFET のチャネル幅、 $L$  は MOSFET のチャネル長である。

【0079】

P 型 MOSFET 11 A は、集積回路本体 16 A と同じ基板上に配置されたものである。本実施の形態においては、この P 型 MOSFET 11 A のトランジスタサイズを、チャネル幅： $W = 1.2\text{ }\mu\text{m}$ 、チャネル長： $L = 0.12\text{ }\mu\text{m}$  とする。

なお、定電流源 12 A 及び比較部 13 A は、集積回路本体 16 A と同じ基板上に配置されたものであってもよく、あるいは、同じ基板上に配置されていないものでもよい。

【0080】

また、定電流源 12 A は、“温度依存性がない”ものを用い、例えば、定電流特性を示すバンドギャップリファレンス回路などによって構成される。なお、ここでは上記“温度依存性がない”ということに対し、 $20\text{ PPM}/^\circ\text{C}$  以下と定義する（全く温度依存がないという意味ではない）。また、定電流源 12 A は、 $500\text{ nA}$  を供給するものとする。

## 【0081】

比較部13Aは、例えばオペアンプやOTAなどで構成される。その入力端子には、少なくとも基準電圧値と被測定電圧値とが入力され、この基準電圧値と被測定電圧値とを比較して、被測定電圧値が基準電圧値より低ければその出力端子から出力される出力電圧値を上げ、高ければ出力電圧値を下げるものである。

## 【0082】

P型MOSFET11Aのソースは、定電流源12Aに接続され、P型MOSFET11Aのドレインは、集積回路本体16Aの接地電位VSSに接続され、P型MOSFET11Aのゲートは、集積回路本体16Aの電源電圧VDD以下の任意の電圧17Aに設定され、且つ集積回路本体16Aの電源電圧VDDと前記任意の電圧17Aの差分は、常に固定された関係を持ち、ここでは、この差分を0.4Vと設定する。

## 【0083】

つまり、P型MOSFET11Aのゲート電圧は0.6Vである。比較部13Aの基準入力IN1の電圧値は、集積回路本体16Aの電源電圧VDDに設定され、比較部13Aの被測定入力IN2はP型MOSFET11Aのソースに接続され、比較部13Aの出力は、P型MOSFET11Aの基板電圧BPに接続され、比較部13Aの出力レンジの上限は、集積回路本体16Aの電源電圧VDD以上であり、下限は、集積回路本体16Aの電源電圧VDD以下である。

ここで、比較部13Aの出力レンジは、0.6V～2.0Vの電圧レンジとする。

## 【0084】

上述の比較部13Aの出力レンジの上限値あるいは下限値をリミット電圧値としたリミッター部19A（リミット手段）を通して基板電圧BPを出力することができる。

以下、PMOS側の基板電圧BPを出力する比較部13Aにリミッター部19Aを備えた一例を挙げ説明する。

## 【0085】

図2は、リミッター部19Aを備えた比較部13Aの一例を示す回路図である。

図2に示すように、比較部13Aは、オペアンプ部18Aと、リミッター部19Aを備えており、リミッター部19Aは、レジスタ111A、112A、コンパレータ113A、114A、リミッター用MOSFET115A、116Aを備えている。

## 【0086】

次に、上記のリミッター部19Aによって、リミット電圧値を決める一方法について、以下説明する。

まず、製造工程が完了した後の半導体集積回路装置10Aにおいて、ソースー基板間の電位差を0からマイナス側に遷移させ、P型MOSFET11Aのドレイン電流 $I_{ds}$ が最低の値になったときの電圧値をレジスタ111Aに格納する。

## 【0087】

次に、ソースー基板間の電位差を0からプラス側に遷移させ、P型MOSFET11Aのドレイン電流 $I_{ds}$ が最高の値になったときの電圧値を別のレジスタ112Aに格納する。

## 【0088】

レジスタ111Aに格納された電圧値（上限リミット電圧）と出力しようとする電圧BPとをコンパレータ113Aで比較し、コンパレータ113Aの出力がゲートに接続されたリミッター用MOSFET115Aをオン／オフさせることにより、基板電圧BPの上限に制限を加えることができる。

## 【0089】

基板電圧BPの上限（基板電圧調整手段の出力電圧値の上限）は、P型MOSFET11AにGIDL効果が発生しない範囲の電圧に設定されることが好ましい。

## 【0090】

また、レジスタ112Aに格納された電圧値（下限リミット電圧）と出力しようとする電圧BPとをコンパレータ114Aで比較し、コンパレータ114Aの出力がゲートに接

続されたリミッター用 MOSFET 115A をオン／オフさせることにより、基板電圧 BP の下限に制限を加えることができる。

#### 【0091】

負の基板電圧（バックバイアス）をかけすぎると、GIDL 効果により閾値（ $V_{th}$ ）一定回路 14A のフィードバックのゲインの極性が変わり、フィードバック系がデッドロック（適切なフィードバックがかからなく、フィードバック系が異常な状態で安定化してしまうこと）を起こす。

なお、参考として非特許文献 5 の  $I_{ds} - V_{gs}$  特性 Fig.8 を図 3 に示す。図 3 では、バックバイアスが大きい  $V_{bb} = -2.3V$  では GIDL 効果によるド레인電流  $I_{ds}$  が大きくなっている。

また、電流源の配置の仕方によっても、フィードバック系がデッドロックを起こす場合がある。

#### 【0092】

また、正の基板電圧（フォワードバイアス）をかけすぎると、MOSFET がバイポーラ特性を示し、閾値（ $V_{th}$ ）一定回路 14A のフィードバックのゲインが非常に大きくなり、フィードバック系が発振を起こし易くなる。

なお、図 4 に P 型 MOSFET に対する基板電圧  $V_{bs}$  を変化させたときのド레인電流  $I_{ds}$  のシミュレーション値を示す。図 4 に示すように、MOSFET に所定の電圧以上のフォワードバイアス（図 4 ではマイナス側）をかけるとド레인電流  $I_{ds}$  電流が減少する。

このため、リミット電圧値は、デッドロックを防ぐ限界電圧及びフィードバック系が発振を防ぐ限界電圧が反映されることが重要である。

#### 【0093】

上記のような、デッドロックを防ぎ、フィードバック系が発振を防ぐために、基板電圧 BP の下限（基板電圧調整手段の出力電圧値の下限）は、P 型 MOSFET 11A がバイポーラ特性を示さない範囲の電圧に設定されることが好ましい。更に、基板電圧 BP の上限（基板電圧調整手段の出力電圧値の上限）は、P 型 MOSFET 11A に GIDL 効果が発生しない範囲の電圧に設定されることが好ましい。

#### 【0094】

上述の例では、レジスタ 111A、112A に格納した場合を示したが、リミット電圧値は、トリミング技術などによって得られた固定電圧値に設定し、コンパレータ 113A、114A に入力させてもよい。

#### 【0095】

また、製造工程が完了した後の半導体集積回路装置 10A の出来上がりの特性をあらかじめ、別の索引データベースに格納しておき、任意の測定ポイントのみで、上記のリミット電圧値を決定してもよい。

#### 【0096】

更に、製造後の経時劣化を反映するため、半導体集積回路装置 10A に、随時上記のリミット電圧値の決定方法を実行し、リミット電圧値を変更してもよい。

#### 【0097】

例えば、P 型 MOSFET 11 の基板電圧 BP が 1V 時、被測定電圧が 1.1V であったとすると、比較部 13 の出力電圧は下がり、被測定電圧が 1V であるように調整される。

#### 【0098】

閾値（ $V_{th}$ ）一定回路 14A は、MOSFET のソースー基板間の電圧値を、サブスレッショルド領域のある任意のゲート電圧値のド레인電流が、温度依存性、プロセスばらつき依存性がないように制御するものであり、集積回路本体 16A に配置された複数の P 型 MOSFET のそれぞれの閾値がそろった値となる。

#### 【0099】

（第 2 の実施の形態）

図5は、本実施の形態に係る半導体集積回路装置10Bを示す回路図である。図5に示すように、半導体集積回路装置10Bは、N型MOSFET11Bと定電流源12Bとからなるモニタ手段15Bと、比較部13B（比較手段）とからなる閾値（ $V_{th}$ ）一定回路14B（基板電圧調整手段）と、集積回路本体16Bとを具備する。

#### 【0100】

第2の実施の形態において、MOSFETの閾値 $V_{th}$ は、例えば、 $V_{DD}=1V$ のとき、 $I_{ds}=50nA \times (W/L)$ となる場合の $V_{gs}$ （ゲートソース間電圧）を $V_{th}$ とした。なお、 $I_{ds}$ は、MOSFETのソースドレイン間電流であり、 $W$ はMOSFETのチャネル幅、 $L$ はMOSFETのチャネル長である。

#### 【0101】

N型MOSFET11Bは、集積回路本体16Bと同じ基板上に配置されたものである。本実施の形態においては、このN型MOSFET11Bのトランジスタサイズを、チャネル幅： $W=1.2\mu m$ 、チャネル長： $L=0.12\mu m$ とする。

なお、定電流源12B及び比較部13Bは、集積回路本体16Bと同じ基板上に配置されたものであってもよく、あるいは、同じ基板上に配置されていないものでもよい。

#### 【0102】

また、定電流源12Bは、“温度依存性がない”ものを用い、例えば、定電流特性を示すバンドギャップリファレンス回路などによって構成される。なお、ここでは上記“温度依存性がない”ということに対し、 $20PPM/^{\circ}C$ 以下と定義する（全く温度依存がないという意味ではない）。また、定電流源12Bは、 $500nA$ を供給するものとする。

#### 【0103】

比較部13Bは、例えばオペアンプやOTAなどで構成される。その入力端子には、少なくとも基準電圧値と被測定電圧値とが入力され、この基準電圧値と被測定電圧値とを比較して、被測定電圧値が基準電圧値より低ければその出力端子から出力される出力電圧値を上げ、高ければ出力電圧値を下げるものである。

#### 【0104】

N型MOSFET11Bのドレインは、定電流源12Bに接続され、N型MOSFET11Bのソースは、集積回路本体16Bの接地電位 $V_{SS}$ に接続され、N型MOSFET11Bのゲートは、集積回路本体16Bの接地電位 $V_{SS}$ 以上の任意の電圧17Bに設定され、且つ集積回路本体16Bの電源電圧 $V_{DD}$ と前記任意の電圧17Bの差分は、常に固定された関係を持ち、ここでは、この差分を $0.4V$ と設定する。

#### 【0105】

比較部13Bの基準入力 $I_{N1}$ の電圧値は、半導体集積回路装置10Bの電源電圧値に設定される。比較部13Bの被測定側入力 $I_{N2}$ はN型MOSFET11Bのドレインに接続され、比較部13Bの出力は、N型MOSFET11Bの基板に接続され、比較部13Bの出力レンジの上限は、半導体集積回路装置10Bの接地電位以上であり、比較部13Bの出力レンジの下限は、前記半導体集積回路装置10Bの接地電位以下である。

ここで、比較部13Bの出力レンジは、 $-1.0V \sim 0.4V$ の電圧レンジとする。

#### 【0106】

上述の比較部13Bの出力レンジの上限値あるいは下限値をリミット電圧値としたリミッター部19B（リミット手段）を通して基板電圧 $B_N$ を出力することができる。

以下、NMOS側の基板電圧 $B_N$ を出力する比較部13Bにリミッター部19Bを備えた一例を挙げ説明する。

#### 【0107】

図6は、リミッター部19Bを備えた比較部13Bの一例を示す回路図である。図6に示すように、比較部13Bは、オペアンプ部18Bと、リミッター部19Bを備えており、リミッター部19Bは、レジスタ111B、112B、コンパレータ113B、114B、リミッター用MOSFET115B、116Bを備えている。

このような出力回路を用いると、リミッター値近傍まで安定して電流を供給できる。基板経由からソースに電流が流れるフォワードバイアス時に安定して基板電圧が得られ、被

適用回路の動作安定性に特に効果的である。

予め、負電圧を負昇圧回路などで生成しておき、その印加電圧を図6の $V_{DD} = -3V$ の所に入力する構成を採用することにより、帰還ループの応答性は、良好となる。もし、最終バッファに昇圧回路などを用いると、その生成クロックにより、帰還ループの特性は、離散的となり、応答性が悪くなる。

#### 【0108】

次に、上記のリミッター部19Bによって、リミット電圧値を決める一方法について、以下説明する。

まず、製造工程が完了した後の半導体集積回路装置10Bにおいて、ソースー基板間の電位差を0からマイナス側に遷移させ、N型MOSFET11Bのドレイン電流 $I_{ds}$ が最低の値になったときの電圧値をレジスタ111Bに格納する。

#### 【0109】

次に、ソースー基板間の電位差を0からプラス側に遷移させ、N型MOSFET11Bのドレイン電流 $I_{ds}$ が最高の値になったときの電圧値を別のレジスタ112Bに格納する。

#### 【0110】

レジスタ111Bに格納された電圧値（上限リミット電圧）と出力しようとする電圧 $B_N$ とをコンパレータ113Bで比較し、コンパレータ113Bの出力がゲートに接続されたリミッター用MOSFET115Bをオン／オフさせることにより、基板電圧 $B_N$ の上限に制限を加えることができる。

#### 【0111】

基板電圧 $B_N$ の上限は、N型MOSFET11Bがバイポーラ特性を示さない範囲の電圧に設定されることが好ましい。

#### 【0112】

また、レジスタ112Bに格納された電圧値（下限リミット電圧）と出力しようとする電圧 $B_N$ とをコンパレータ114Bで比較し、コンパレータ114Bの出力がゲートに接続されたリミッター用MOSFET115Bをオン／オフさせることにより、基板電圧 $B_N$ の下限に制限を加えることができる。

#### 【0113】

負の基板電圧（バックバイアス）をかけすぎると、GIDL効果により閾値（ $V_{th}$ ）一定回路14Bのフィードバックのゲインの極性が変わり、フィードバック系がデッドロック（適切なフィードバックがかからなく、系が異常な状態で安定化してしまうこと）を起こす。

また、電流源の配置の仕方によっても、フィードバック系がデッドロックを起こす場合がある。

#### 【0114】

また、正の基板電圧（フォワードバイアス）をかけすぎると、MOSFETがバイポーラ特性を示し、閾値（ $V_{th}$ ）一定回路14Bのフィードバックのゲインが非常に大きくなり、フィードバック系が発振を起こし易くなる。

なお、図7にN型MOSFETに対する基板電圧 $V_{bs}$ を変化させたときのドレイン電流 $I_{ds}$ のシミュレーション値を示す。図7に示すように、MOSFETに所定の電圧以上のフォワードバイアス（図ではプラス側）をかけるとドレイン電流 $I_{ds}$ 電流が減少する。

このため、リミット電圧値は、デッドロックを防ぐ限界電圧及びフィードバック系が発振を防ぐ限界電圧が反映されることが重要である。

#### 【0115】

基板電圧 $B_N$ の下限は、N型MOSFET11BにGIDL効果が発生しない範囲の電圧に設定されることが好ましい。更に、基板電圧 $B_N$ の上限（基板電圧調整手段の出力電圧値の上限）は、N型MOSFET11Bがバイポーラ特性を示さない範囲の電圧に設定されることが好ましい。

## 【0116】

上述の例では、レジスタ111B, 112Bに格納した場合を示したが、リミット電圧値は、トリミング技術などによって得られた固定電圧値に設定し、コンパレータ113B, 114Bに入力させてもよい。

## 【0117】

また、製造工程が完了した後の半導体集積回路装置10Bの出来上がりの特性をあらかじめ、別の索引データベースに格納しておき、任意の測定ポイントのみで、上記のリミット電圧値を決定してもよい。

## 【0118】

更に、製造後の経時劣化を反映するため、半導体集積回路装置10Bに、随時上記のリミット電圧値の決定方法を実行し、リミット電圧値を変更してもよい。

## 【0119】

閾値 ( $V_{th}$ ) 一定回路14Bは、MOSFETのソース-基板間の電圧値を、サブスレッショルド領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように制御するものであり、集積回路本体16に配置された複数のN型MOSFETのそれぞれの閾値がそろった値となる。

## 【0120】

図23は、前述の図5で示した定電流源12Bの特性を更に理想的な電流源の特性に近づけた構成例である。

モニタ対象となるMOSFET234と少なくともチャネル長 $L$ 及びチャネル幅 $W$ が同じMOSFET233のゲートをMOSFET233のソース電位と同電位にして、そのドレイン電流を源とするカレントミラー回路232を図5中の定電流源12Bに並列に付加したものである。なお、入力端子235、236にはそれぞれ所定の電圧値が印可される。237はオペアンプである。

## 【0121】

もし、この電流源231がなければ、モニタ素子の基板電圧値が、 $-0.4V$ よりも低くなると通常GIDL効果により、リークが増加してしまい、みかけ上の電流が多くなり、基板電圧値の印加電圧がその分だけ高くなってしまう。

しかし、この電流源231では、GIDLの項をキャンセルするので、純粋なMOSFETの閾値、又は、飽和電流を得ることが可能となり、定電流源12Bで構成するよりも更に高精度に調整されたな基板電圧 $B_N$ が印加される。

そして、正の基板電圧（フォワードバイアス）をかけた場合は、バイポーラ効果により、MOSFET234のリークが増加してしまうが、これをキャンセルすることができる。

## 【0122】

更に、図23で示したN型MOSFET233、234の基板となるPウエル領域を図24に示す。N型MOSFET233の基板となるPウエル領域と、N型MOSFET234の基板となるPウエル領域とは、その間にNウエル領域が形成されることにより、図24に示すように分離されている。

## 【0123】

また、前述の図1で示した定電流源12Aに対しても、図23と同様に理想的な電流源の特性に近づけた構成例を図25に示す。

モニタ対象となるMOSFET254と少なくともチャネル長 $L$ 及びチャネル幅 $W$ が同じMOSFET253のゲートをMOSFET253のソース電位と同電位にして、そのドレイン電流を源とするカレントミラー回路252を図1中の定電流源12Aに並列に付加したものである。なお、入力端子255、256にはそれぞれ所定の電圧値が印可される。257はオペアンプである。

## 【0124】

(第3の実施の形態)

図8は、第3の実施の形態に係る半導体集積回路装置20Aを示す回路図ある。

図8に示すように、半導体集積回路装置20Aは、P型MOSFET21Aと定電流源22Aとからなるモニタ手段25Aと、比較部23A（比較手段）とからなるドレイン電流（ $I_{ds}$ ）一定回路24A（基板電圧調整手段）と、集積回路本体26とを具備する。

#### 【0125】

第3の実施の形態において、MOSFETの飽和電流は、例えば、 $V_{gs}=1V$ 、 $V_{DD}=1V$ 、 $V_{SS}=0$ の時のソースドレイン間電流とする。

ドレイン電流（ $I_{ds}$ ）一定回路24AはMOSFETの飽和領域のある任意のゲート電圧値のドレイン電流が一定であるようにMOSFETの基板電圧を制御する回路（基板電圧調整手段）である。このP型MOSFET21のトランジスタサイズを、チャンネル幅： $W=1\mu m$ 、チャンネル長： $L=0.12\mu m$ とする。

#### 【0126】

また、定電流源22Aは、“温度依存性がない”ものを用い、例えば、定電流特性を示すバンドギャップリファレンス回路などによって構成される。なお、ここでは上記“温度依存性がない”ということに対し、 $20PPM/^{\circ}C$ 以下と定義する（全く温度依存がないという意味ではない）。また、定電流源22Aは、 $300\mu A$ を供給するものとする。

#### 【0127】

比較部23Aは、例えばオペアンプやOTAなどで構成される。その入力端子には、少なくとも基準電圧値と被測定電圧値とが入力され、この基準電圧値と被測定電圧値とを比較して、被測定電圧値が基準電圧値より低ければその出力端子から出力される出力電圧値を上げ、高ければ出力電圧値を下げるものである。

#### 【0128】

P型MOSFET21Aのソースは、定電流源22Aに接続され、P型MOSFET21Aのドレインは、集積回路本体26の接地電位 $V_{SS}$ に接続され、P型MOSFET21Aのゲートは、集積回路本体26の接地電位 $V_{SS}$ に接続される。

#### 【0129】

比較部23Aの基準入力 $I_{N1}$ の電圧値は、集積回路本体26の電源電圧 $V_{DD}$ に設定され、比較部23Aの被測定側入力 $I_{N2}$ はP型MOSFET21Aのソースに接続され、比較部23Aの出力は、P型MOSFET21Aの基板電圧BPに接続される。比較部23Aの出力レンジの上限は、集積回路本体26の電源電圧 $V_{DD}$ 以上であり、下限は、集積回路本体26の電源電圧 $V_{DD}$ 以下である。

ここで、比較部23Aの出力レンジは、 $0.6V\sim 2.0V$ の電圧レンジがあるとする。

#### 【0130】

本実施の形態も前述の第1の実施の形態と同様に、比較部23Aの出力レンジの上限値あるいは下限値をリミット電圧値としたリミッター部19A（リミット手段）を通して基板電圧BPを出力することができる。このように、リミット手段を備えた場合の作用効果は、前述の第1の実施の形態と同様である。

#### 【0131】

このようにして、ドレイン電流（ $I_{ds}$ ）一定回路24Aは、MOSFETの飽和領域のある任意のゲート電圧値のドレイン電流が、一定であるように基板電圧BPを制御するものであり、集積回路本体26に配置された複数のP型MOSFETのそれぞれのドレイン電流 $I_{ds}$ がそろった値となる。

#### 【0132】

（第4の実施の形態）

図9は、第4の実施の形態に係る半導体集積回路装置20Bを示す回路図ある。

図9に示すように、半導体集積回路装置20Bは、N型MOSFET21Bと定電流源22Bとからなるモニタ手段25Bと、比較部23B（比較手段）とからなるドレイン電流（ $I_{ds}$ ）一定回路24B（基板電圧調整手段）と、集積回路本体26とを具備する。

#### 【0133】

第4の実施の形態において、MOSFETの飽和電流は、例えば、 $V_{gs}=1V$ 、 $V$

$V_{DD} = 1V$ 、 $V_{SS} = 0$ の時のソースドレイン間電流とする。

ドレイン電流 ( $I_{ds}$ ) 一定回路 24B は MOSFET の飽和領域のある任意のゲート電圧値のドレイン電流が一定であるように MOSFET の基板電圧を制御する回路 (基板電圧調整手段) である。この N 型 MOSFET 21B のトランジスタサイズを、チャネル幅:  $W = 1\mu m$ 、チャネル長:  $L = 0.12\mu m$  とする。

【0134】

また、定電流源 22B は、“温度依存性がない”ものを用い、例えば、定電流特性を示すバンドギャップリファレンス回路などによって構成される。なお、ここでは上記“温度依存性がない”ということに対し、 $20PPM/^{\circ}C$ 以下と定義する (全く温度依存がないという意味ではない)。また、定電流源 22B は、 $600\mu A$ を供給するものとする。

【0135】

比較部 23B は、例えばオペアンプや OTA などで構成される。その入力端子には、少なくとも基準電圧値と被測定電圧値とが入力され、この基準電圧値と被測定電圧値とを比較して、被測定電圧値が基準電圧値より低ければその出力端子から出力される出力電圧値を上げ、高ければ出力電圧値を下げるものである。

【0136】

N 型 MOSFET 21B のドレインは、定電流源 22B に接続され、N 型 MOSFET 21B のソースは、集積回路本体 26 の接地電位  $V_{SS}$  に接続され、N 型 MOSFET 21B のゲートは、集積回路本体 26 の電源電圧  $V_{DD}$  に接続される。

【0137】

比較部 23B の基準入力  $I_{N1}$  の電圧値は、集積回路本体 26 の電源電圧  $V_{DD}$  に設定され、比較部 23B の被測定側入力  $I_{N2}$  は N 型 MOSFET 21B のソースに接続され、比較部 23B の出力レンジの上限は、集積回路本体 26 の接地電位  $V_{SS}$  以上であり、比較部 23B の出力レンジの下限は、集積回路本体 26 の接地電位  $V_{SS}$  以下である。

ここで、比較部 23B の出力レンジは、 $-1.0V \sim 0.4V$  の電圧レンジとする。

【0138】

本実施の形態は前述の第 2 の実施の形態と同様に、比較部 23B の出力レンジの上限値あるいは下限値をリミット電圧値としたリミッター部 19B (リミット手段) を通して基板電圧  $B_N$  を出力することができる。このように、リミット手段を備えた場合の作用効果は、前述の第 2 の実施の形態と同様である。

【0139】

このようにして、ドレイン電流 ( $I_{ds}$ ) 一定回路 24B は、MOSFET の飽和領域のある任意のゲート電圧値のドレイン電流が、一定であるように基板電圧  $B_N$  を制御するものであり、集積回路本体 26 に配置された複数の N 型 MOSFET のそれぞれのドレイン電流  $I_{ds}$  がそろった値となる。

【0140】

(第 5 の実施の形態)

図 10 は、第 5 の実施の形態に係る半導体集積回路装置 30 を示す回路図である。

図 10 に示すように、半導体集積回路装置 30 は、前述の第 1 及び第 2 の実施の形態で示した閾値 ( $V_{th}$ ) 一定回路 14A、14B と、内部に帰還バッファ 31 を備えた集積回路本体 36 からなる。閾値 ( $V_{th}$ ) 一定回路 14A、14B の基板電圧  $B_P$ 、 $B_N$  が集積回路本体 36 内の帰還バッファ 31 を構成する N 型、P 型 MOSFET のそれぞれの基板電圧に接続されたものである。

【0141】

次に、本実施の形態における閾値 ( $V_{th}$ ) 一定回路 14A、14B を用いたことによる効果について、帰還バッファ 31 の一具体例による評価結果を挙げて説明する。本例において、帰還バッファ 31 を構成する各 MOSFET は以下のパラメータを有する。

P 型 MOSFET の  $I_{ds} = 240\mu A/\mu m$ 、 $V_{th} = 0.35V$ 、

N 型 MOSFET の  $I_{ds} = 600\mu A/\mu m$ 、 $V_{th} = 0.35V$ 、

P 型 MOSFET の  $W = 2\mu m$ 、 $L = 0.12\mu m$ 、



N型MOSFETの $W=1\mu\text{m}$ 、 $L=0.12\mu\text{m}$ 、

そして、基板電圧 $B_N$ 、 $B_P=0\text{V}$ （フォワードバイアス）の場合に、動作温度条件として、 $T=-40^\circ\text{C}$ （低温）、 $T=125^\circ\text{C}$ （高温）の各温度条件下と、閾値（ $V_{th}$ ）一定回路14A、14Bを用いて、 $T=-40^\circ\text{C}$ （低温）において、基板電圧 $B_N$ 、 $B_P=0.35\text{V}$ （フォワードバイアス）をかけた場合、また、 $T=125^\circ\text{C}$ （高温）において、基板電圧 $B_N$ 、 $B_P=-0.35\text{V}$ （バックバイアス）をかけた場合の4通りの場合において、電源電圧を変えて、スタティックノイズマージン幅を回路シミュレーション（SPICE）により求めたシミュレーション結果を図11に示す。

#### 【0142】

図11において、横軸は帰還バッファ31の電源電圧値、縦軸は帰還バッファ31のスタティックノイズマージン幅である。図11に示すように閾値（ $V_{th}$ ）一定回路14A、14Bを用いた場合、スタティックノイズマージン幅のばらつき幅は、せばまり、更に、低電圧でも安定な動作が可能である。

#### 【0143】

また、帰還バッファ31の基板電圧に、閾値（ $V_{th}$ ）一定回路14A、14Bを用いた場合、また、閾値（ $V_{th}$ ）一定回路14A、14Bを用いなかった場合のリーク電流の温度依存性を図12に示す。

図12において、横軸は温度であり、縦軸は対数表示（log）したリーク電流である。図12に示すように、低温時では、リーク電流が若干増えるが、高温時では飛躍的に削減されている。

なお、ここでは参照電圧を $0.4\text{V}$ として低電圧に特化して示したが、高電圧時で $V_{th}$ が低すぎてスタティックノイズマージンが下がる場合は、更に $V_{th}$ を高く設定したいことがある。この場合は、参照電圧値を印可電圧値のある割合になるように、抵抗分割手段などを参照電圧部に用いて設定してもよい。

参照電圧を変化させる時は、リミット電圧回路が更に効果を発揮する。例えば、 $V_{DD}=1\text{V}$ の時、参照電圧が $0.35\text{V}$ になるように設定しておく、その割合は、35%である。もし、 $V_{DD}=2\text{V}$ になった場合、参照電圧は、 $0.7\text{V}$ となる。しかし、このような値を実現するには、バックバイアスを更にかける必要があり、GIDL効果が出てしまう。これをさまたげるため、リミット回路が有効であるからである。

#### 【0144】

（第6の実施の形態）

図13は、第6の実施の形態に係る半導体集積回路装置を示す回路図である。

図13に示すように、半導体集積回路装置40は、前述の第1の実施の形態で示したドレイン電流（ $I_{ds}$ ）一定回路24A、24Bと、内部にメモリ回路41（一つのメモリセルのみ図示）を備えた集積回路本体36からなる。ドレイン電流（ $I_{ds}$ ）一定回路24A、24Bの基板電圧 $B_P$ 、 $B_N$ が集積回路本体36内のメモリ回路を構成するN型、P型MOSFETのそれぞれの基板電圧に接続されたものである。

#### 【0145】

メモリ回路41は、N型MOSFET42によるトランスファゲートと、記憶格納素子43と、ビット線44と、ワード線45とを少なくとも有している。記憶格納素子43としては、例えば、DRAMのキャパシタや、SRAMのCMOSインバータ等が挙げられる。なお、DRAM、SRAM等は、図13に示したメモリ回路41が多数備えられている。

そして、N型MOSFET42のドレインは、記憶格納素子43に接続され、N型MOSFET42のソースは、ビット線44に接続され、N型MOSFET42のゲートがワード線45に接続されている。

#### 【0146】

このように、ドレイン電流（ $I_{ds}$ ）一定回路24A、24Bにより、集積回路本体46内に基板電圧 $B_P$ 、 $B_N$ が供給されることにより、メモリ回路41内のN型MOSFET42および図示しない他のP型あるいはN型MOSFETのソースー基板間の電圧値を

、サブスレッショルド領域のある任意のゲート電圧値のドレイン電流が、温度依存性、プロセスばらつき依存性がないように制御され、サブスレッショルド領域リークによるメモリデータの破壊を防止することができる。

#### 【0147】

(第7の実施の形態)

図14は、第7の実施の形態に係る半導体集積回路装置を示す回路図である。

図14に示すように、半導体集積回路装置50は、前述の第1及び第2の実施の形態で示した閾値( $V_{th}$ )一定回路14A、14Bと、SRAM回路51(一つのメモリセルのみ図示)を備えた集積回路本体56からなる。

閾値( $V_{th}$ )一定回路14A、14Bの基板電圧BP、BNが集積回路本体56内のSRAM回路51を構成するN型、P型MOSFETのそれぞれの基板電圧に接続されたものである。

#### 【0148】

次に、本実施の形態における閾値( $V_{th}$ )一定回路14A、14Bを用いたことによる効果について、一具体例による評価結果を挙げて説明する。

図15に基板電圧をかけない場合と、 $V_{th}$ が一定となるように基板電圧をかけた場合の各温度の電源電圧とSRAMの読み出しノイズマージンを示す。

#### 【0149】

また、書き込みのノイズマージンの温度依存性の同様のグラフを図16に示す。基板電圧を最適にかけることにより、低電圧時のノイズマージンの温度依存性が削減できる効果がわかる。つまり、低電圧で動作が可能となり、SRAMの低消費電力化を図ることができる。

#### 【0150】

(第8の実施の形態)

図17は、第8の実施の形態に係る半導体集積回路装置を示す回路図である。

図17に示すように、閾値( $V_{th}$ )一定回路14A、14Bの出力BP、BNをタイミングボロー回路61の基板電圧に用いたものである。タイミングボロー回路61のDは、データ入力であり、CLKは、クロック入力である。

このようなタイミングボロー回路61のスタティックノイズマージンは、N型MOSFETの $V_{th}$ で決定される。つまり、閾値( $V_{th}$ )一定回路14A、14Bによって、温度依存性、プロセスばらつき依存性を削減できる。また、前述の第7の実施の形態で示したように、リーク電流の削減効果もある。

#### 【0151】

(第9の実施の形態)

図18は、第9の実施の形態に係る半導体集積回路装置を示す回路図である。

図18に示すように、半導体集積回路装置70は、閾値( $V_{th}$ )一定回路14A、14Bの出力BP、BNを、集積回路本体76内の差動型オペアンプ71を構成するMOSFETの基板電圧に用いたものである。N型MOSFETがばらついていると、差動型オペアンプの出力電圧は、 $V_{th}$ 以上であるので、 $V_{th}$ に依存する。

#### 【0152】

しかし、閾値( $V_{th}$ )一定回路14A、14Bを用いた場合、 $V_{th}$ は一定となるため、差動型オペアンプの出力電圧は $V_{th}$ に依存せず、一定である。この構成により、差動型オペアンプの出力レンジの下限電圧の温度依存性、プロセスばらつき依存性を削減する効果がある。

#### 【0153】

(第10の実施の形態)

図19は、第10の実施の形態に係る半導体集積回路装置を示す回路図である。

図19に示すように、半導体集積回路装置80は、閾値( $V_{th}$ )一定回路14A、14Bの出力BP、BNを集積回路本体86内の電圧制御オシレータ(VCO: Voltage Control Oscillator) 81を構成するMOSFETの基板電圧に用いたものである。バイア

ス電圧を与えるMOSFETのゲートは、閾値依存を持つと、入力電圧と周波数の特性関係が異なる。

#### 【0154】

このMOSFETの基板電圧を閾値 ( $V_{th}$ ) 一定回路の出力を与える構成により、入力電圧に対する周波数応答特性の温度依存性、プロセスばらつき依存性を削減する効果がある。

#### 【0155】

なお、図19に示した回路は、一例であり、入力電圧がMOSFETのゲートに入力されるタイプの電圧制御オシレータすべてに効果があるのは、言うまでもない。

#### 【0156】

(第11の実施の形態)

図20は、第11の実施の形態に係る半導体集積回路装置を示す回路図である。

図20に示すように、半導体集積回路装置90は、閾値 ( $V_{th}$ ) 一定回路14A、14Bの出力BP、BNを集積回路本体96内のCMOSロジック回路91の基板電圧として用いたものである。CMOSロジック回路91の遅延値は、 $d_i/d_t = CV$ であるので、遅延の温度依存性、プロセスばらつき依存性を削減するものである。

#### 【0157】

なお、図20に示した回路は、CMOSロジック回路の一例であり、あらゆる論理構成のCMOSロジック回路すべてに効果があるのは、言うまでもない。

#### 【0158】

(第12の実施の形態)

図21は、第12の実施の形態に係る半導体集積回路装置100を示す回路図である。

図21に示すように、半導体集積回路装置100は、閾値 ( $V_{th}$ ) 一定回路14A、14Bの出力BP、BNを集積回路本体106内の電流制御オシレータ (CCO: current control oscillator) 101のインバータ部の基板電圧として用いたものである。

上記の構成をとることにより、第12の実施の形態と同様に、回路の遅延値がそろい、電流制御オシレータ101の発振周波数の温度依存性、プロセスばらつき依存性を削減するものである。

#### 【0159】

(第13の実施の形態)

図22は、第13の実施の形態にかかる半導体集積回路120を示す回路図である。

図22に示すように、GM (相互コンダクタンス: ゲート電圧の変化に対するドレイン電流の変化の割合) 一定回路121A、121Bにおいて、P型MOSFET122A及びN型MOSFET122Bは、それぞれゲートとドレインが接続されている。このようにゲートとドレインが接続されている場合、基板電圧をトランジスタのGMと近似することができる。

そして、所望の電圧をオペアンプの参照電圧にすることにより、所定の電圧値近傍のGM一定回路が構成できる。上記構成を集積回路本体122内のトランジスタのGMを一定にしたい回路、例えば、カレントミラー回路などに適用することにより、温度依存や電源依存性がないようにトランジスタのGMの一定化が実現できる。

#### 【0160】

(第14の実施の形態)

第14の実施の形態について以下説明する。本実施の形態の一例として、集積回路本体に前述の閾値 ( $V_{th}$ ) 一定回路及びIds一定回路を混載させた、多ポートレジスタファイルの例を図26に示す。

図26に示す多ポートレジスタファイル260は、メモリセル部261と読出しデータ出力回路262とを有して構成されている。

#### 【0161】

この多ポートレジスタファイル260の回路動作を以下説明する。

メモリセル部261において、書き込みワード線が活性化されると書き込みビット線

介してデータが書き込まれる。

また、メモリセル部 261 からのデータ読み出しは、読出しワード線が活性化されると、読出しビット線にデータが読み出されて、この読出しデータが更に読出しデータ出力回路により増幅されて出力端子より外部へ出力される。

この多ポートレジスタファイルでは、メモリセル部 261 と読出しビット線のデータを保持するキーパー部 263 の各 MOSFET の基板は、閾値 ( $V_{th}$ ) 一定回路に接続されている。

また、読出しデータ出力回路 262 を構成している各 MOSFET の基板は、 $I_{ds}$  一定回路に接続されている。

#### 【0162】

このように、図 26 に示す多ポートレジスタファイル 260 では、メモリセル部 261 のようなノイズマージンの比較的低い回路部（あるいは、センシティブな回路部）等の基板電圧の調整に閾値 ( $V_{th}$ ) 一定回路を用い、CMOS 等で構成されノイズマージンが比較的高く、且つ、高速動作を要求される読出しデータ出力回路 262 等には、 $I_{ds}$ （ドレイン電流）一定回路を用いている。

すなわち、ノイズマージンが所定の値よりも低い部分の基板電圧調整には、閾値 ( $V_{th}$ ) 一定回路を用い、ノイズマージンが所定の値よりも高い部分の基板電圧調整には、 $I_{ds}$ （ドレイン電流）一定回路を用いる。

これにより、集積回路本体の高速性を失うことなく、安定動作が実現可能となる。更に、温度依存性の少ない遅延、電力が実現可能となる。

#### 【0163】

次に、上記図 26 の構成の多ポートレジスタファイルを実際に試作し、測定した結果を図 27 及び図 28 に示す。

図 27 は、データ読出しの遅延時間の相対値 (Normalized Delay) の温度特性である。

図 28 は、動作時の消費電流の相対値 (Normalized current) の温度特性である。

MBB (Mixed BB) は、図 26 のように、メモリセル部 261 に閾値 ( $V_{th}$ ) 一定回路を用い、読出しデータ出力回路 262 に  $I_{ds}$ （ドレイン電流）一定回路を用いた場合の測定結果である。

NBB は、閾値 ( $V_{th}$ ) 一定回路及び  $I_{ds}$  一定回路の動作をさせずに、基板電圧を変化させなかった場合、つまり、基板電位を MOSFET のソース電圧と同電位とした場合の測定結果である。

#### 【0164】

試作に際し、閾値電圧を意図的にターゲットとなる閾値電圧から約 +10% ずれるようなプロセス条件のウェハと、約 -10% ずれるようなプロセス条件のウェハとを試作した。

この 2 つのウェハ上には複数のチップが形成されており、これらの複数のチップに対し、それぞれデータ読出しの遅延時間の温度特性及び動作時の消費電流の温度特性を、 $V_D = 0.8V$ 、動作周波数 (Freq.) = 100 MHz の条件下で測定した。

約 -10% ずれるようなプロセス条件のウェハ中、最も遅延時間が速いチップの相対値 (図 27) と最も動作時の消費電流の大きいチップの相対値 (図 28) を MBBmax、NBBmax とし、約 +10% ずれるようなプロセス条件のウェハ中、最も遅延時間が遅いチップの値 (図 27) と最も動作時の消費電流の小さいチップの相対値 (図 28) を MBBmin、NBBmin として示したものである。

#### 【0165】

図 27 の結果から分かるように、基板電圧が常に一定 (NBB) の場合における遅延時間の最大値と最小値の差よりも、閾値 ( $V_{th}$ ) 一定回路と  $I_{ds}$  一定回路を混載した場合 (MBB (Mixed BB)) における遅延時間の最大値と最小値の差が小さくなっており、例えば、温度が 125℃ の際には、上記最大値と最小値の差が約 75% まで低減されている。

また、図28の結果から分かるように、基板電圧が常に一定(NBB)の場合における高温動作時の消費電流の最大値と最小値の差が大きくなっているが、閾値( $V_{th}$ )一定回路とIds一定回路を混載した場合(MBB (Mixed BB))における上記最大値と最小値の差は、NBBの場合よりも温度が125℃のときに約27%削減されている。

#### 【0166】

更に、集積回路本体に前述の閾値( $V_{th}$ )一定回路及びIds一定回路を混載させた他の一例として、一般的なSRAM回路に適用した例を図29に挙げ説明する。

図29に示すように、メモリ部291と周辺部292とは、それぞれの基板が分離され、異なる基板電圧が適用できるように構成されている。

すなわち、ノイズマージンの比較的低い(あるいは、センシティブな)メモリ部291には、閾値( $V_{th}$ )一定回路が接続され、ノイズマージンが比較的高く、且つ、入出力回路などの高速動作を要求される部分を含む周辺部292には、Ids一定回路に接続されている。

#### 【0167】

以上、第14の実施の形態においては、閾値( $V_{th}$ )一定回路とIds一定回路を混在させて、各種の回路部の基板電位の調整に適用することにより、それぞれの回路の特性を最適化することができる。

#### 【0168】

(第15の実施の形態)

図30は、第15の実施の形態における集積回路本体300の回路レイアウトを模式的に示した図である。

本実施の形態における集積回路本体300は、その回路領域が複数(4つ)の領域であるエリアA~Dに分割されている。

エリアA~D内又はそれぞれの領域の近傍には、閾値( $V_{th}$ )一定回路及びIds一定回路(どちらか一方のみでもよい)がそれぞれ設けられている。

#### 【0169】

このように、それぞれのエリアA~D毎にそれぞれの領域の基板電圧調整を行う閾値( $V_{th}$ )一定回路及びIds一定回路を設けたので、MOSFET素子形成時のドレイン、ソースのイオンドープの局所依存性、ゲート酸化膜圧の局所依存性などが存在した場合、それぞれのエリアA~D毎にMOSFETの特性が異なるものとなってしまう。

よって、それぞれのエリアA~D内のモニタ手段が、領域内のMOSFETの特性を反映されていることにより、エリアA~D毎に対応した適正な基板電位の調整が可能となり、集積回路本体300内のMOSFETの閾値( $V_{th}$ )及びIdsの不均一性を除去することが可能となる。

なお、本基板電圧調整を行う閾値( $V_{th}$ )一定回路及びIds一定回路のモニタ手段は、各エリアに複数存在してもよい。これらのモニタ手段は、並列接続されてもよいし、モニタ手段それぞれを時分割にモニタするようにしてもよい。更に、このモニタ手段の配置はエリア内の4隅と中央に設置するとなお一層の効果を発揮する。

#### 【0170】

(第16の実施の形態)

図31は、第16の実施の形態の構成を模式的に示す図である。図31に示すように、本実施の形態においては、デバイス特性(基板電圧依存性)の異なる種類の(図の例では2つの)MOSFET群315( $V_{th}$ が高いMOSFET)、316( $V_{th}$ が低いMOSFET)が混載された集積回路本体310が接続されている。

#### 【0171】

前記MOSFET群315、316は、それぞれデバイス特性が略同一のMOSFETで構成されており、MOSFET群315の基板電圧としては、 $V_{th}$ が高いMOSFETを調整するためのP型MOSFETの閾値( $V_{th}$ )一定回路311の出力BPHおよびN型MOSFETの閾値( $V_{th}$ )一定回路312の出力BNHが接続されている。

また、MOSFET群316の基板電圧としては、 $V_{th}$ が低いMOSFETを調整す

るためのP型MOSFETの閾値 ( $V_{th}$ ) 一定回路311の出力BPLおよびN型MOSFETの閾値 ( $V_{th}$ ) 一定回路312の出力BNLが接続されている。

#### 【0172】

閾値 ( $V_{th}$ ) 一定回路311, 312のモニタ部は、基板電圧が印加されるMOSFET群315の $V_{th}$ に対応した素子315a, 315bが用いられ、閾値 ( $V_{th}$ ) 一定回路313, 314のモニタ部は、基板電圧が印加されるMOSFET群316の $V_{th}$ に対応した素子316a, 316bが用いられる。

#### 【0173】

以上のような構成をとることにより、デバイス特性 (基板電圧依存性) の異なるそれぞれのMOSFETが要求する閾値 ( $V_{th}$ )、 $I_{ds}$  値、GM値に適した基板電圧値を印加することが可能となり、回路のノイズマージンなどにひずみが発生することがなく、安定した動作を実現することが可能となる。

#### 【0174】

(第17の実施の形態)

第17の実施の形態は、周波数-電圧変換回路を有するものであり、この周波数-電圧変換回路の出力が、基板電圧調整手段のモニタ手段を構成するMOSFETのゲートに印加されるように構成されるものである。

図32は、本実施の形態の一例として、閾値 ( $V_{th}$ ) 一定回路323の入力端子322 (例えば図1の17Aに相当) に周波数-電圧変換回路321を接続した一例を示すブロック図である。

#### 【0175】

周波数-電圧変換回路321の入力端子には、クロック発振器325によるクロックを分周 (又は通倍) したクロックを出力するクロック分周回路 (又はクロック通倍回路) 326の出力クロックが入力されるように接続されている。

#### 【0176】

なお、このクロック分周回路 (又はクロック通倍回路) 326を用いずに、クロック発振器325のクロックをそのまま入力してもよく、あるいは、集積回路本体324のクロック入力にクロック分周回路 (又はクロック通倍回路) の出力を接続するようにしてもよく、集積回路本体324に供給するクロックと、周波数-電圧変換回路321に供給するクロックとが位相がそろうように、同一のクロック発振源 (クロック発振器325) を元とするクロックがそれぞれ供給されればよい。

#### 【0177】

また、上記周波数-電圧変換回路321の周波数-電圧変換特性は、図33のグラフに示すように、入力したクロック周波数に対し、その出力電圧値が正の勾配であるように変換される特性である。

そして、周波数-電圧変換回路321は、例えば、D-A変換器、又は、DC-DC変換回路等構成されるものである。

#### 【0178】

以上の構成により、本実施の形態では、閾値 ( $V_{th}$ ) 一定回路で調整される閾値 ( $V_{th}$ ) は、集積回路本体324にクロック低周波数時のほうが高周波時よりも高く設定することが可能となり、低周波数で使用する際MOSFETの素子のリークが削減される効果がある。

なお、ここでは、周波数-電圧変換回路321が連続的な例を示したが、回路構成などを簡易化して、離散的な値を出力しても良い。

また、モニタ手段がP型MOSFETの場合は、当然ながら、周波数と出力電圧の関係は負の勾配をもつように周波数-電圧変換回路を構成すればよい。

なお、本実施の形態では、基板電圧調整手段が閾値 ( $V_{th}$ ) 一定回路である場合について、周波数-電圧変換回路の適用例を以上のように述べたが、基板電圧調整手段がGM一定回路の場合には、周波数-電圧変換回路によって、図22の121中の定電流源の値を変化させれば、上記閾値 ( $V_{th}$ ) 一定回路の場合と同様な効果を奏することは勿論で

ある。

#### 【0179】

(第18の実施の形態)

第18の実施の形態は、図34(a)に示すように、集積回路本体内におけるN型MOSFETの基板電圧BNとN型MOSFETの接地電位VSSとの間の電気容量CBと、前記基板電圧BNとP型MOSFETの基板電位BPとの間の電気容量CAとの関係において、このBN-BP間に容量成分CCを付加することを特徴としている。

#### 【0180】

図35は、本実施の形態を実現するための構成の一例を示す模式図である。

本実施の形態の集積回路本体では、P基板350上にNウエル領域351が構成され、このNウエル領域351上にPウエル領域352が構成される。

このNウエル領域351上には、集積回路本体を構成するP型MOSFETが存在し、P型MOSFET353のソース354には、コンタクトホール355aを介して、電源電圧VDDが接続されている。

#### 【0181】

また、Pウエル領域352には、コンタクトホール355bを介して基板電圧BPが接続され、Pウエル領域352上に設けられたN型MOSFET356のソース359には、コンタクトホール355cを介して接地電位VSSが接続されている。

更に、Nウエル領域351には、コンタクトホール355dを介して基板電圧BNが接続される。なお、GはMOSFETのゲートである。

#### 【0182】

集積回路本体には、上記のようなP型MOSFET353やN型MOSFET356が複数存在し、各MOSFETも同様な構造となっている。

通常の集積回路では、上記BN-VSS間の電気容量CBよりもBN-BP間の電気容量CAの方が、大きくなる。これは、Nウエル領域351とPウエル領域352が接する領域の面積は、ソース354とPウエル領域352とが接する領域の面積よりもはるかに大きいためである。

このように、電気容量CBが小さいと、BNが変動したときにこの変動が容量結合によってVSSにこの変動が伝わりにくいため、BNの変動とVSSの変動は図34(b)のようになる。

#### 【0183】

本実施の形態の図35に示す例では図中右側に示すように、BPとショートしないように、MOSFETが形成されたNウエル領域351と分離されたNウエル領域357にコンタクトホール355eを介して接地電位VSSが接続されている。

また、このNウエル領域357の中にはPウエル領域358が設けられ、コンタクトホール355fを介してBNと接続されており、これによる容量成分CCがBN-VSS間の電気容量CBに加わる。

#### 【0184】

このように、本実施の形態では、BN-VSS間の電気容量がCB+CCと大きくなるため、BNが変動したときの変動が容量結合によってVSSにこの変動が伝わりやすく図34(c)のように、同位相で変動するので、BNとVSSの電位差Vnsが一定になりやすくなり、集積回路本体における回路動作が安定する。

なお、この容量成分CCは、配線間の容量など、図35に示す例以外の他の部分の容量成分で構成されるようにしてもよい。

#### 【0185】

次に、この容量成分CCをゲート容量で構成した一例を図36に示す。

図36に示すように、集積回路本体の回路動作に関わらないMOSFET361を設け、このMOSFET361のゲートをBNと接続し、ソースとドレイン及び基板は、VSSに接続するようにする。

このように、MOSFET361のゲートを集積回路本体に与える基板電圧側に接続す

ると、負バイアス側では、常に一定の容量となる。

また、正バイアス側では、若干容量値が減少するが、MOSFETの基板のバイポーラ効果があり、基板からソースに流れる電流成分があるので、BNとVSSの変動が同位相になりやすくなり集積回路本体が安定動作する。

#### 【0186】

更に、より好ましくは、BN-VSS間の電気容量CB+CCがBP-BN間の電気容量CAより大きくなるように、設定されると上記集積回路本体が安定動作がより確実となる。

#### 【0187】

(第19の実施の形態)

第19の実施の形態は、図1で示した基板電圧調整手段である閾値(Vth)一定回路のモニタ用MOSFET11Aのゲート(17A)に与える電圧を一定とした場合の閾値(Vth)の温度勾配より、勾配が緩くなるように、上記ゲート(17A)に可変電圧を与えるように設定したものである。

#### 【0188】

通常、MOSFETの閾値(Vth)は温度と共に減少するため、17Aに一定電圧を与えた場合、温度が上昇するにつれ、基板電圧BPは低くなる。これに対し、本実施の形態では、17Aに温度上昇に対して負の勾配となるように可変電圧を与える。

例えば、図1において、モニタ用MOSFET11Aのゲートである17Aに一定電圧を与えた場合の基板電圧BPの温度依存性は、図37(a)の点線のようになるが、17Aに温度に対して負の勾配(温度が高い程、印加電圧を低くする)の可変電圧を与えた場合は、図37(a)の実線のように基板電位BPの温度依存性が少なくなる。

#### 【0189】

このように設定することにより、図1における集積回路本体内の各MOSFETの閾値(Vth)が一定となるように調整する基板電圧調整手段の温度依存性に対して、17Aが一定の電圧である時よりも、この温度依存性を少なくすることが可能となり、より広い温度範囲で前記各MOSFETの閾値(Vth)をそろえることができる。

#### 【0190】

17Aに温度に対して負の勾配の可変電圧を与えるための電圧印加回路としては、例えば、バンドギャップリファレンス回路などを用いればよい。

また、所定の温度までは負の勾配の可変電圧を与え、所定の温度以上になると電圧値が一定となるようにしてもよい。例えば、温度検知回路を付加し、ある温度以上になると、電圧にリミッターがかかる構成にすればよい。

#### 【0191】

本実施の形態では、閾値(Vth)一定回路が適応された集積回路本体は、高温側、つまり基板電圧が負に印可された状態で、MOSFETのジャンクション容量の減少による集積回路本体の利得を下げることができ、また、温度が変化した場合においても、集積回路本体内の各MOSFETの閾値(Vth)のばらつきを抑制することができる。

このように、閾値(Vth)のばらつきが少なくなると各MOSFETのスウィッチング速度のばらつきが少なくなるので、図37(b)に示すように、温度が変化しても回路の遅延ばらつきの範囲が広がってしまう現象を防ぐことができる。

なお、本実施の形態では、基板電圧調整手段が閾値(Vth)一定回路の場合について、温度対電圧の関係について述べたが、基板電圧調整手段がGM一定回路においては、図22の所望電圧に適用すればよい。また、同様に図22の121中の定電流源の値を変化させれば、上記閾値(Vth)一定回路の場合と同様な効果を奏することは勿論である。

#### 【0192】

(第20の実施の形態)

第20の実施の形態は、集積回路本体に電源電圧を供給する電圧供給回路に対して、リミット手段の出力が接続されるように構成するものであり、基板電圧が上限リミット電圧以上の場合には前記電源電圧を上昇させ、基板電圧が下限リミット電圧以下の場合には、



前記電源電圧を減少させるように構成されているものである。

【0193】

例えば、図38は、図2で示したリミッター部19Aを備えた比較部13Aから、111Aの上限リミット電圧値とBPの値をコンパレータ381で比較した上限リミット比較信号384と、112Aの下限リミット電圧値とBPの値をコンパレータ382で比較した下限リミット比較信号385とが、集積回路本体に電源電圧を供給する電圧供給回路383に入力するように構成されている。

なお、コンパレータ381、382は、リミッター部19A内のコンパレータを用いてもよい。

【0194】

本実施の形態では、上記構成により、もし基板電圧BPが、上限リミット値以上になると、上限リミット比較信号384が電圧供給回路383に伝達され、これにより電圧供給回路383は、出力する電源電圧を上昇させる。

このとき出力する電源電圧の上昇ステップは、離散的でもよいし、連続的でもよい、離散的な場合は、約10mV程度の分解能が望ましい。上限リミット比較信号384が、伝達されなくなると、電源電圧の上昇は完了する。

【0195】

また、電圧供給回路383自身も所定の電圧値以上に電源電圧が上昇しないようにするための電源電圧上限値が設定されており、この電源電圧上限値に達しても、まだ上限リミット比較信号384が伝達され続けている場合には、出力する電源電圧は電源電圧上限値に固定される。

【0196】

一方、もし基板電圧BPが、下限リミット値以上になると、リミット比較信号385が電圧供給回路383に伝達され、これにより電圧供給回路383は、出力する電源電圧を下降させる。

また、電圧供給回路383自身も所定の電圧値以上に電源電圧が下降しないようにするための電源電圧下限値が設定されており、この電源電圧下限値に達しても、まだ下限リミット比較信号385が伝達され続けている場合には、出力する電源電圧は電源電圧下限値に固定される。なお、上記電源電圧上限値、電源電圧下限値は設定しなくてもよく、またどちらか一方のみ設定してもよい。

【0197】

以上のようにして、本実施の形態では、集積回路本体に供給する電源電圧を可変にすることにより、基板電圧調整手段によるMOSFETのしきい値特性、飽和電流特性、GM特性の改善を更に確実することができる。

なお、図38において、基板電位BPにおける比較部である図6で示したリミッター部19Bを備えた比較部13Bを適用してもよいことは、勿論である。

【0198】

なお、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【0199】

【図1】 本発明の第1の実施の形態に係る半導体集積回路装置を示す回路図である。

【図2】 リミッター部を備えた比較部（PMOS側）の一例を示す回路図である。

【図3】 GIDL効果を説明するための $I_{ds}-V_{gs}$ 特性を示すグラフである。

【図4】 バイポーラ特性を説明するための基板電圧 $V_{bs}$ を変化させたときのドレイン電流 $I_{ds}$ のシミュレーション値を示すグラフである。

【図5】 本発明の第2の実施の形態に係る半導体集積回路装置を示す回路図である。

【図6】 リミッター部を備えた比較部（NMOS側）の一例を示す回路図である。

【図7】 バイポーラ特性を説明するための基板電圧 $V_{bs}$ を変化させたときのドレイン電流 $I_{ds}$ のシミュレーション値を示すグラフである。

【図 8】 本発明の第 3 の実施の形態に係る半導体集積回路装置を示す回路図である。  
【図 9】 本発明の第 4 の実施の形態に係る半導体集積回路装置を示す回路図である。  
【図 10】 本発明の第 5 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 11】 第 5 の実施の形態に係る半導体集積回路装置における、リーク電流の温度依存性の回路シミュレーション結果のグラフである。

【図 12】 第 5 の実施の形態に係る半導体集積回路装置における、電源電圧に対するスタティックノイズマージン幅の回路シミュレーション結果のグラフである。

【図 13】 本発明の第 6 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 14】 本発明の第 7 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 15】 本発明の第 7 の実施の形態に係る半導体集積回路装置における、SRAM の読み出しノイズマージンのシミュレーション結果のグラフである。

【図 16】 本発明の第 7 の実施の形態に係る半導体集積回路装置における、SRAM の書き込みのノイズマージンのシミュレーション結果のグラフである。

【図 17】 本発明の第 8 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 18】 本発明の第 9 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 19】 本発明の第 10 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 20】 本発明の第 11 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 21】 本発明の第 12 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 22】 本発明の第 13 の実施の形態に係る半導体集積回路装置を示す回路図である。

【図 23】 図 5 で示した定電流源 12B の特性を更に理想的な電流源の特性に近づけた構成例である。

【図 24】 図 23 で示した N 型 MOSFET の基板となる P ウエル領域を示す図である。

【図 25】 図 1 で示した定電流源 12A の特性を更に理想的な電流源の特性に近づけた構成例である。

【図 26】 本発明の第 14 の実施の形態に係る半導体集積回路装置の一例である多ポートレジスタファイルを示す回路図である。

【図 27】 図 26 の構成の多ポートレジスタファイルにおけるデータ読出しの遅延時間の相対値 (Normalized Delay) の温度特性である。

【図 28】 図 26 の構成の多ポートレジスタファイルにおける動作時の消費電流の相対値 (Normalized current) の温度特性である。

【図 29】 本発明の第 14 の実施の形態に係る半導体集積回路装置を SRAM 回路に適用した例を示す模式図である。

【図 30】 本発明の第 15 の実施の形態における集積回路本体の回路レイアウトを模式的に示した図である。

【図 31】 本発明の第 16 の実施の形態の構成を模式的に示す図である。

【図 32】 本発明の第 17 の実施の形態を示すブロック図である。

【図 33】 図 32 の周波数-電圧変換回路における周波数-電圧変換特性を示すグラフである。

【図 34】 本発明の第 18 の実施の形態の特徴を示す模式図 (a)、容量成分 CC が  
ない場合の BN の変動と VSS の変動を示す図 (b)、容量成分 CC がある場合の B

Nの変動とVSSの変動を示す図(c)である。

【図35】本発明の第18の実施の形態を実現するための構成の一例を示す模式図である。

【図36】図34の容量成分CCをゲート容量で構成した一例を示す模式図である。

【図37】本発明の第19の実施の形態における効果を示すグラフである。

【図38】本発明の第20の実施の形態における構成の一例を示す回路図である。

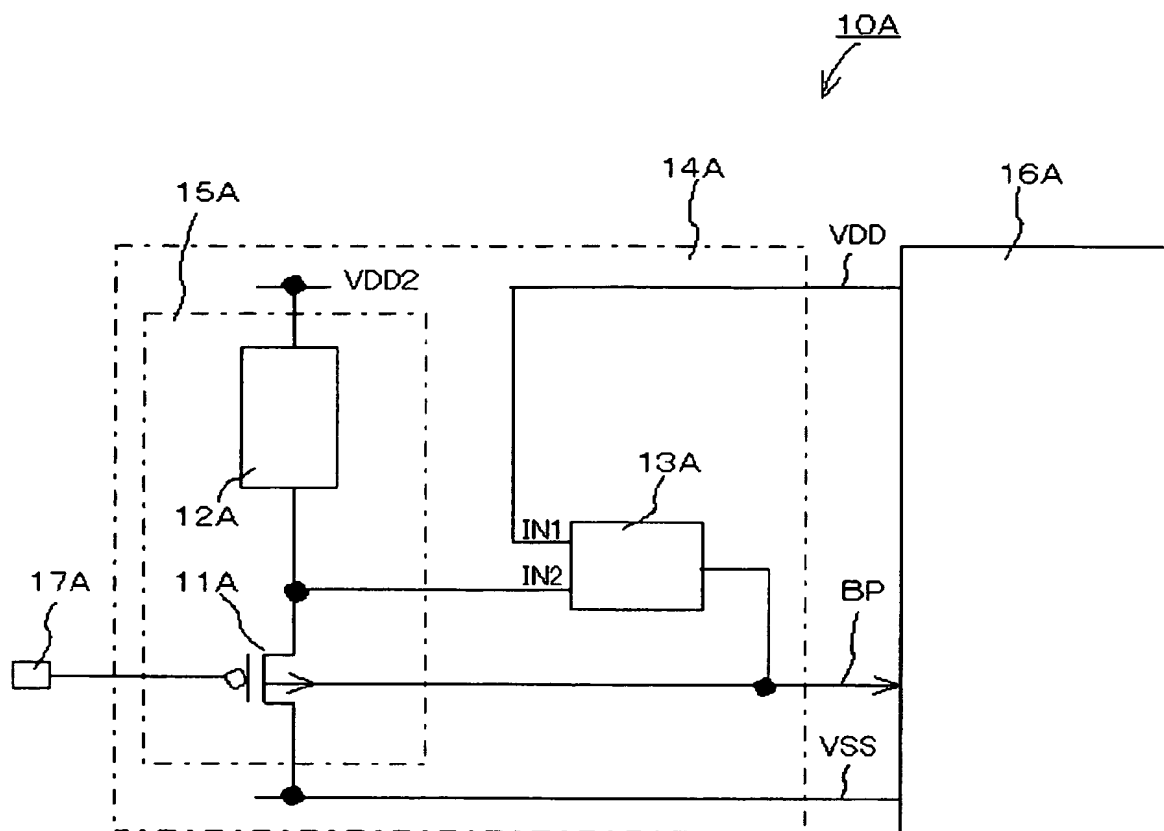
【符号の説明】

【0200】

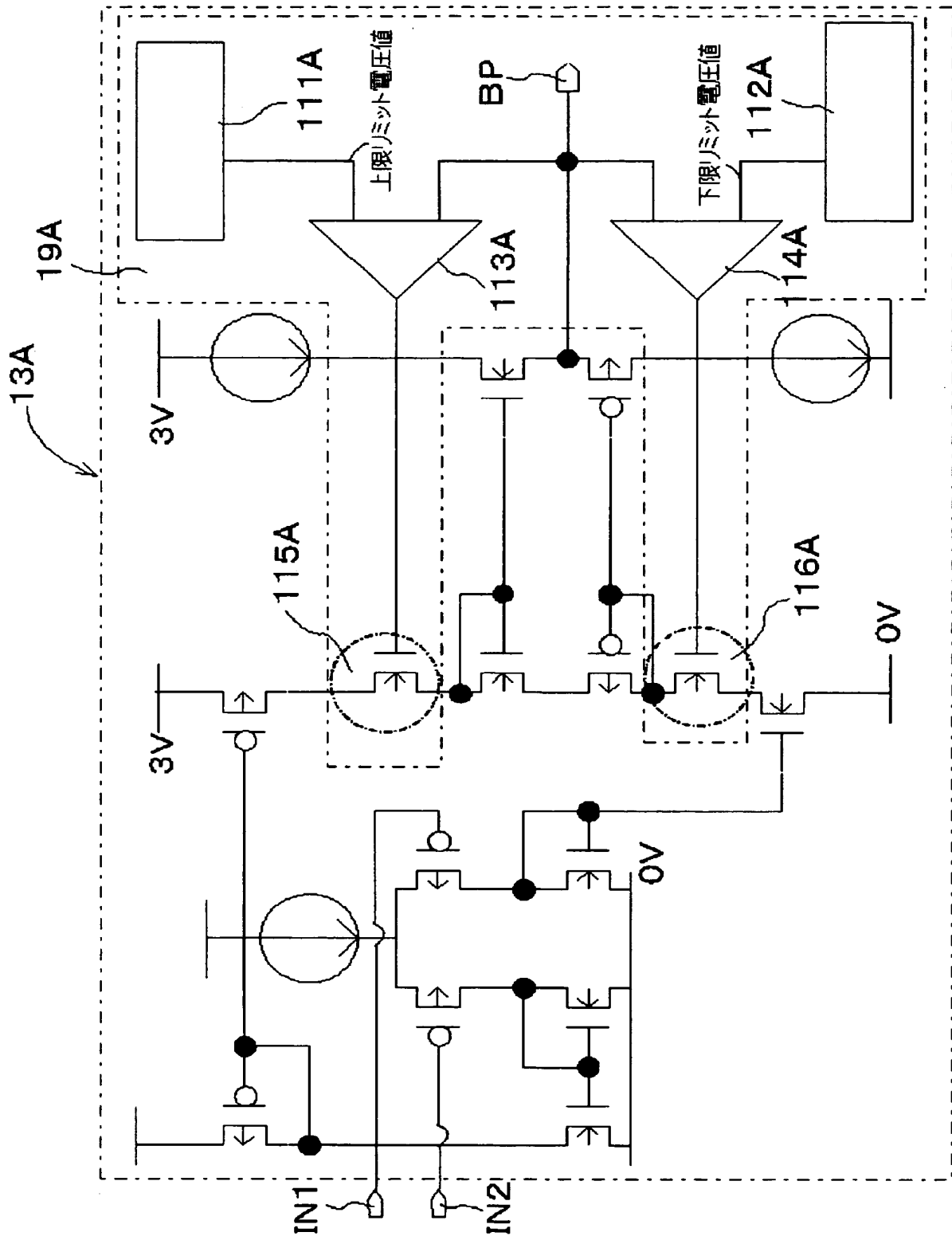
- 10A、10B、20A、20B 半導体集積回路装置
- 30、40、50、60、70 半導体集積回路装置
- 80、90、100、120 半導体集積回路装置
- 11A、21A P型MOSFET
- 12A、12B 定電流源
- 13A、13B 比較部
- 14A、14B 閾値( $V_{th}$ )一定回路
- 15A、15B モニタ手段
- 16A、16B、26A、26B 集積回路本体
- 36、46、56、66、76、86、96、106 集積回路本体
- 17A、17B 任意の電圧
- 18A、18B オペアンプ部
- 19A、19B リミッター部
- 11B、21B N型MOSFET
- 22A、22B 定電流源
- 23A、23B 比較部
- 24A、24B ドレイン電流( $I_{ds}$ )一定回路
- 25A、25B モニタ手段
- 31 帰還バッファ
- 41 メモリ回路
- 42 N型MOSFET
- 43 記憶格納素子
- 44 ビット線
- 45 ワード線
- 51 SRAM回路
- 61 タイミングボロー回路
- 71 差動型オペアンプ
- 81 電圧制御オシレータ
- 91 CMOSロジック回路
- 101 電流制御オシレータ
- 111A、112A レジスタ
- 111B、112B レジスタ
- 113A、114A コンパレータ
- 113B、114B コンパレータ
- 115A、116A リミッター用MOSFET
- 121A、121B GM一定回路
- 122A P型MOSFET
- 122B N型MOSFET
- 123 集積回路本体
- BN 基板電圧
- BP 基板電圧
- IN1 基準入力

IN2 被測定入力  
231 電流源  
232, 252 カレントミラー回路  
235, 236 入力端子  
255, 256 入力端子  
260 多ポートレジスタファイル  
261 メモリセル部  
262 読出しデータ出力回路  
263 キーパー部  
291 メモリ部  
292 周辺部  
300, 310 集積回路本体  
311, 312 閾値 (V<sub>th</sub>) 一定回路  
313, 314 閾値 (V<sub>th</sub>) 一定回路  
315, 316 MOSFET群  
315a, 315b 素子  
316a, 316b 素子  
322 入力端子  
323 閾値 (V<sub>th</sub>) 一定回路  
324 集積回路本体  
325 クロック発振器  
350 P基板  
351, 357 Nウエル領域  
352, 358 Pウエル領域  
354, 359 ソース  
355a, 355b, 355c コンタクトホール  
355d, 355e, 355f コンタクトホール  
381, 382 コンパレータ  
383 電圧供給回路  
384 上限リミット比較信号  
385 下限リミット比較信号  
CA 電気容量  
CB 電気容量  
CC 容量成分

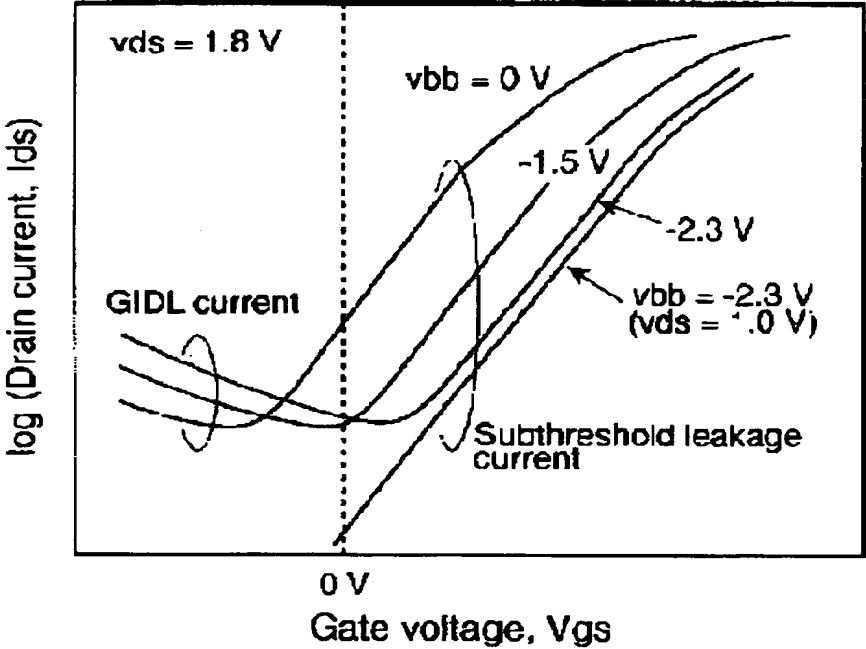
【書類名】 図面  
【図 1】



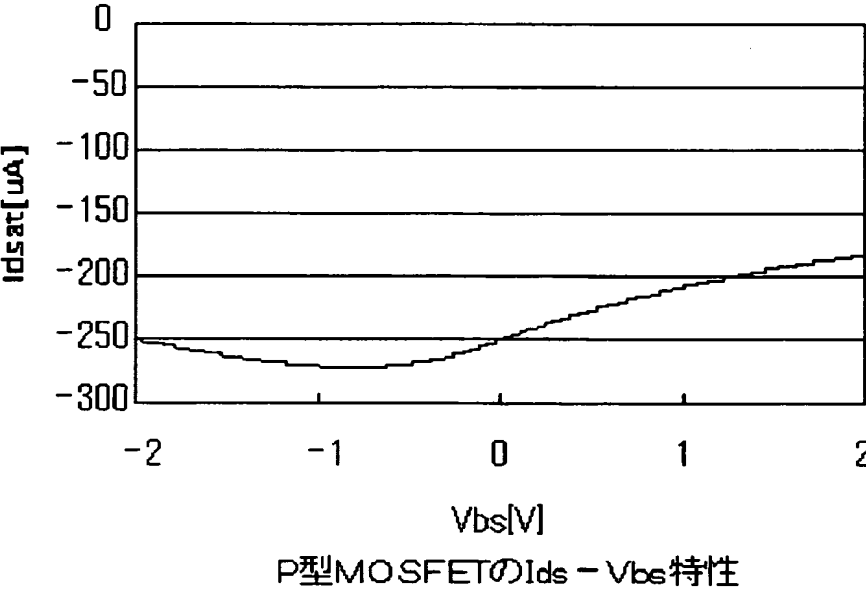
【図 2】



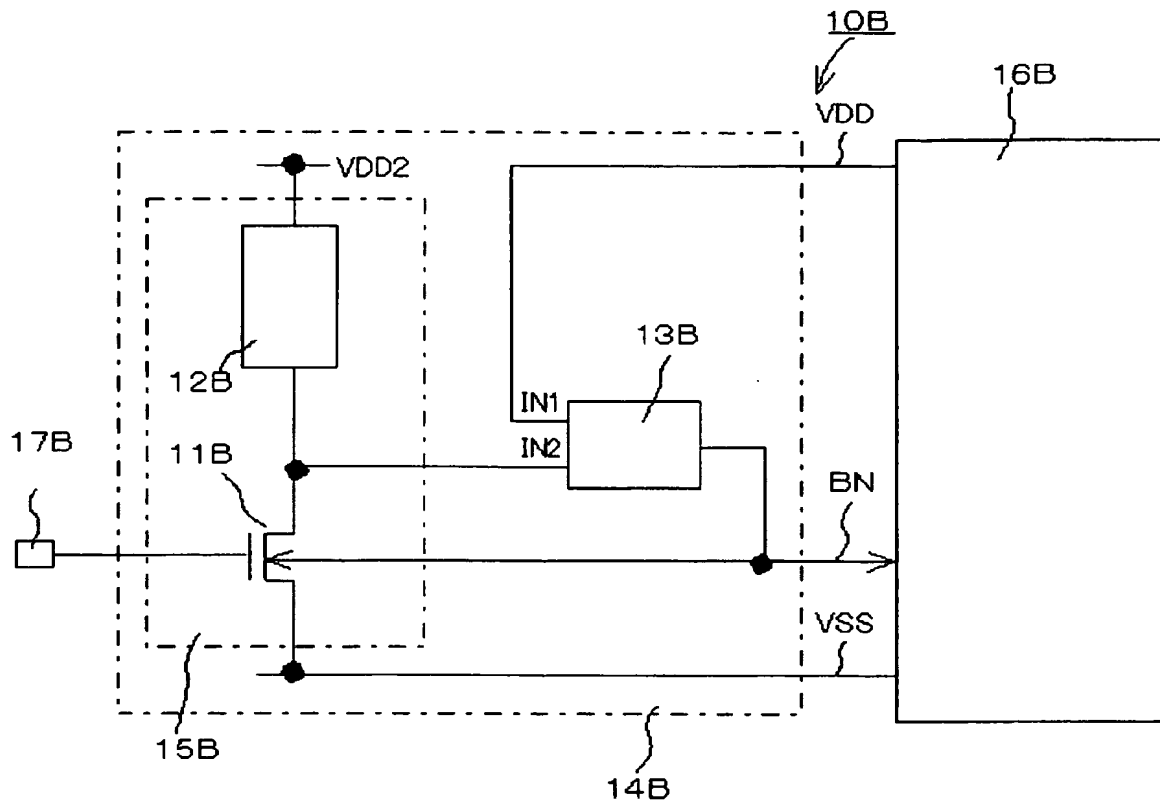
【図 3】



【図 4】

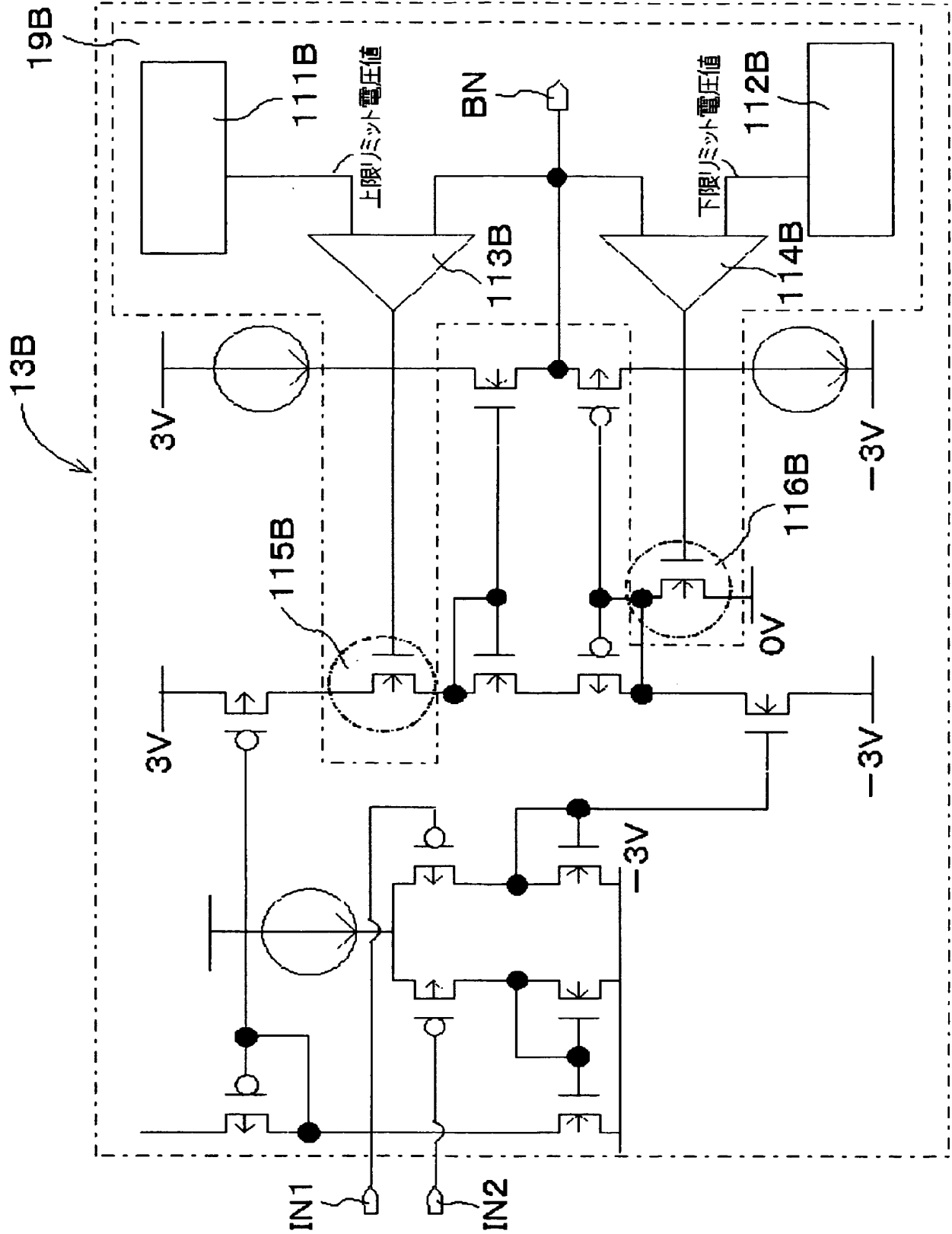


【図 5】

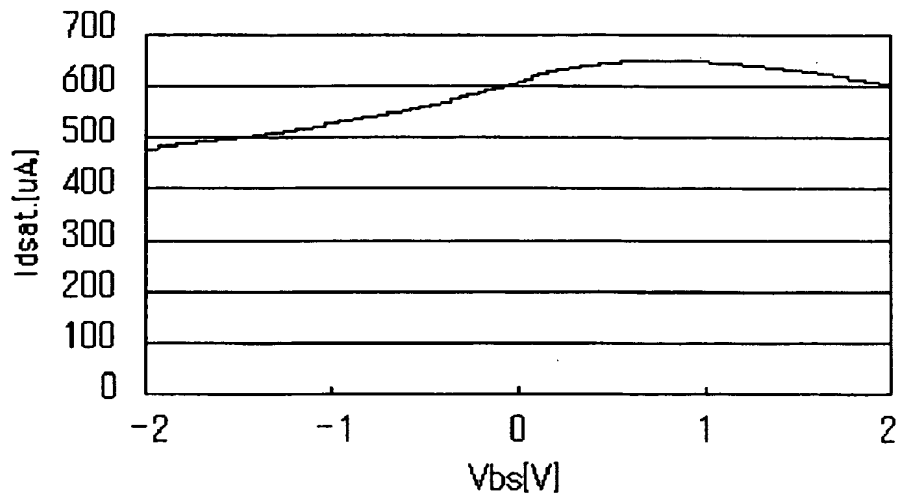




【図 6】

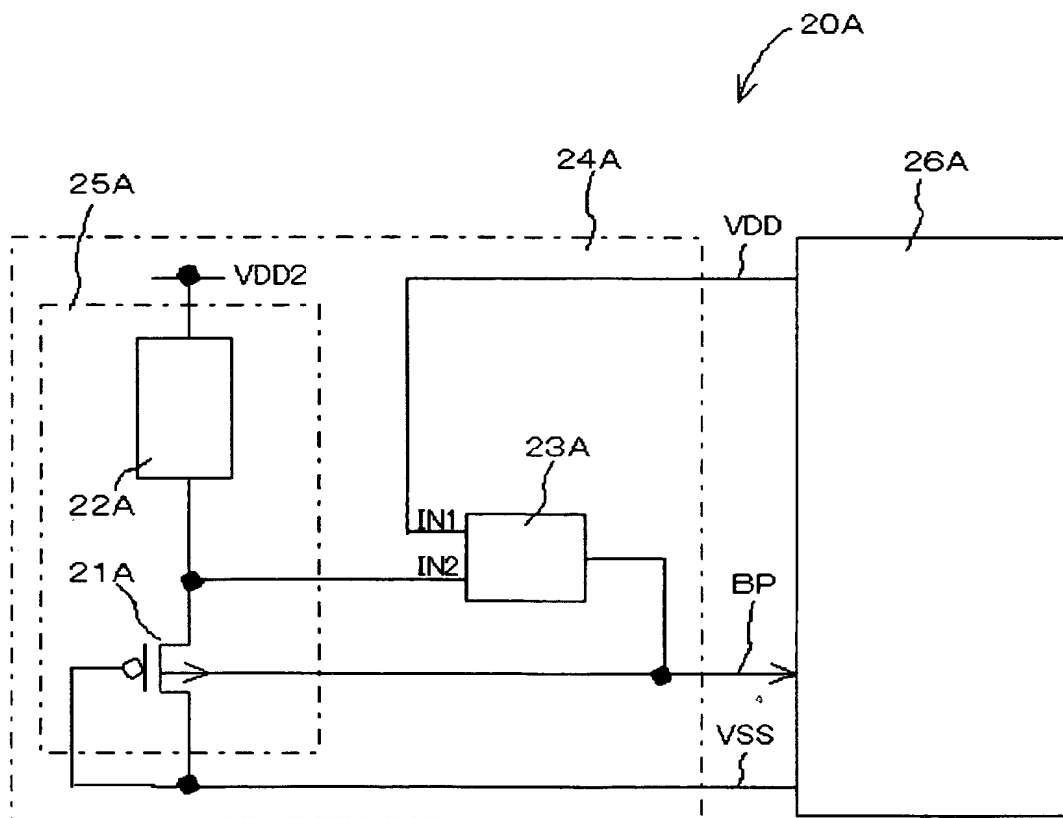


【図 7】

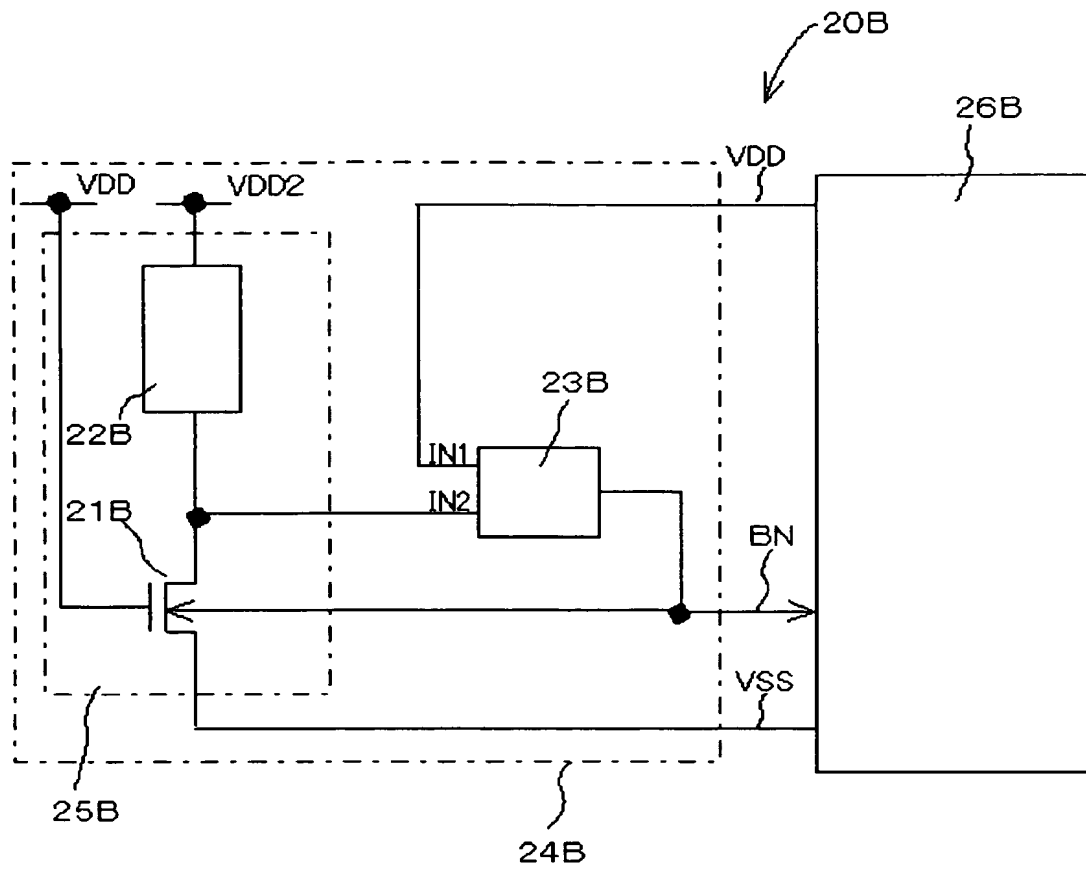


N型MOSFETの $I_{ds} - V_{bs}$ 特性

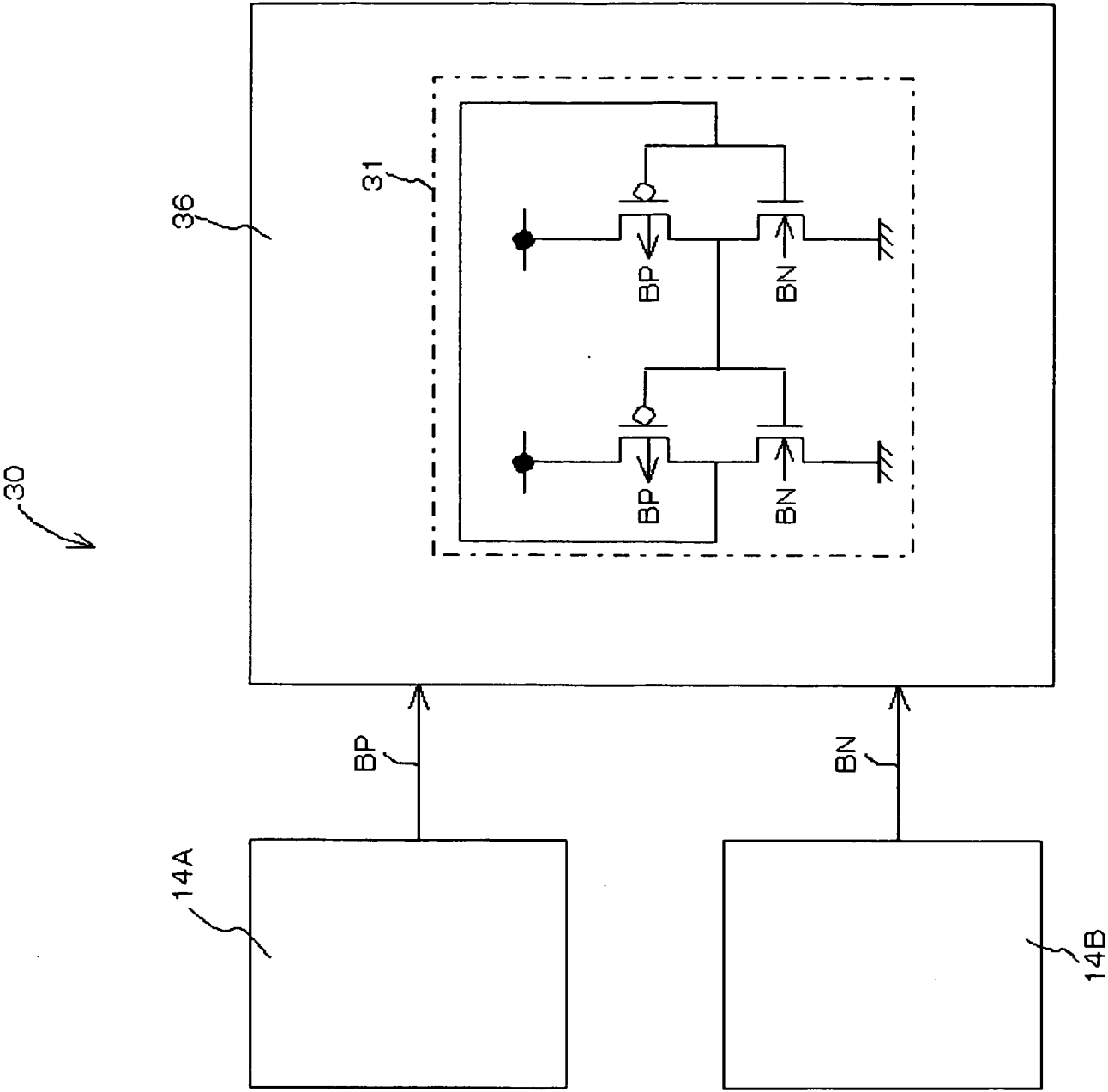
【図 8】



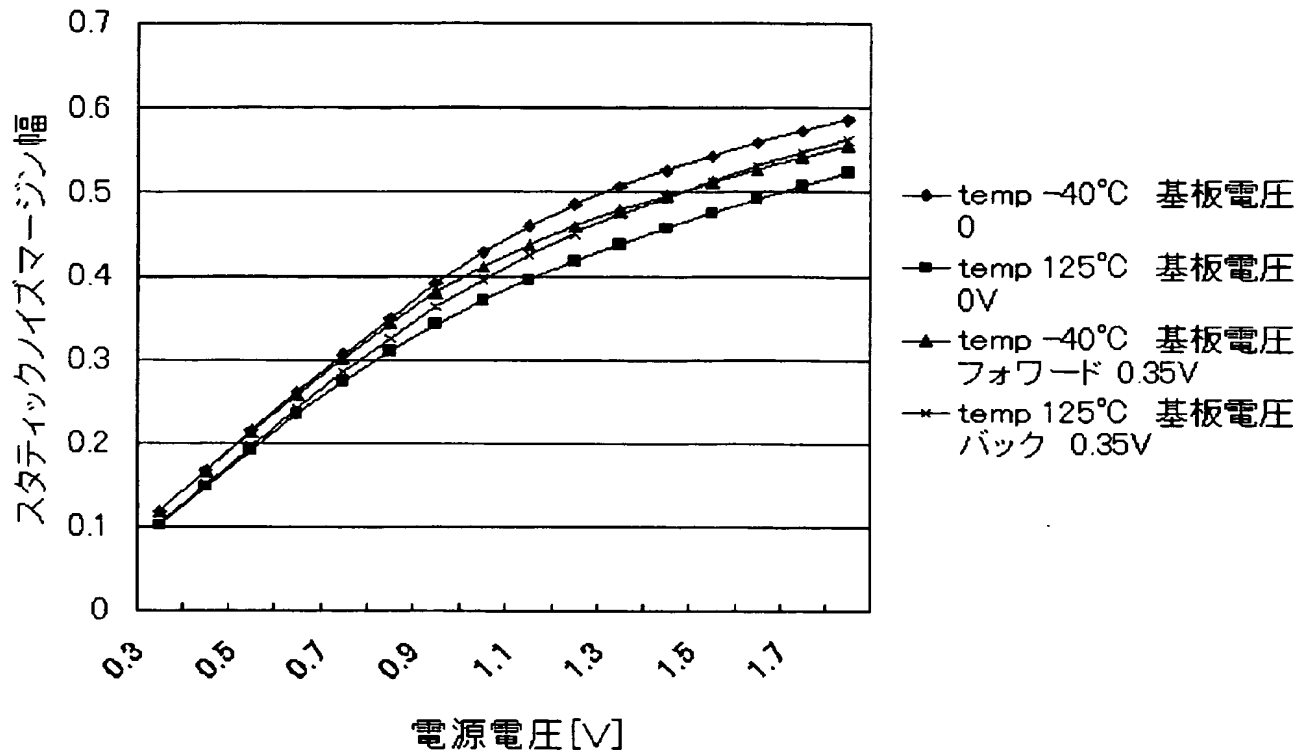
【図 9】



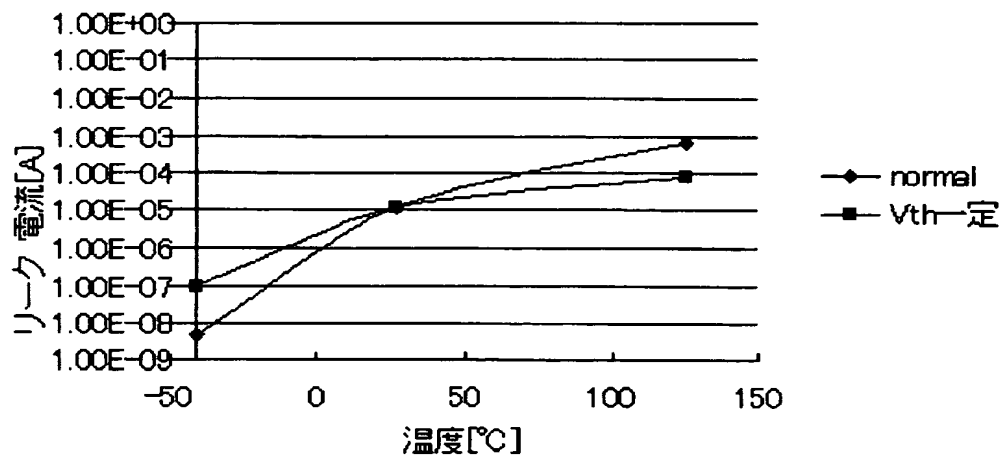
【図 10】



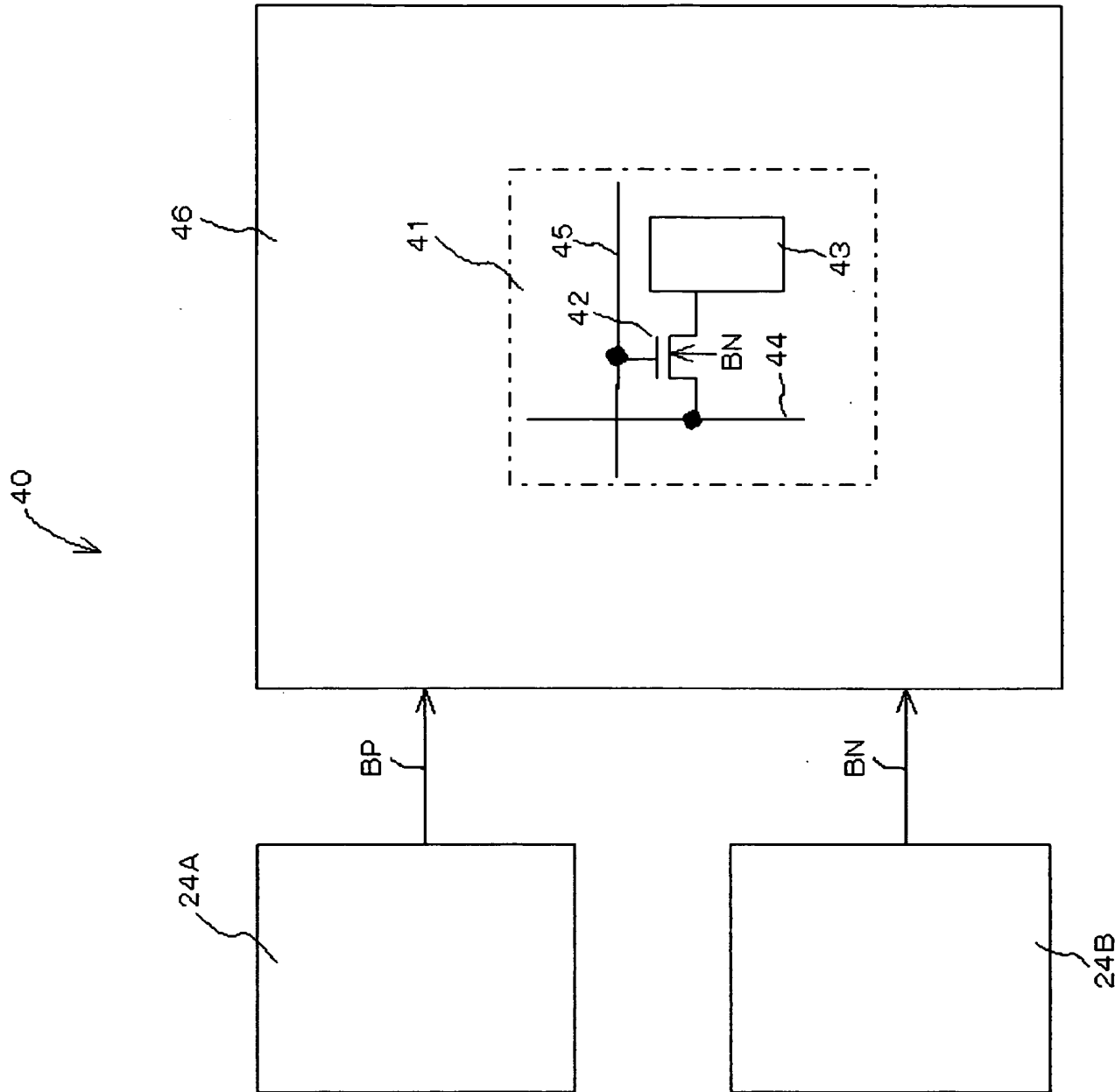
【図 1 1】



【図 1 2】

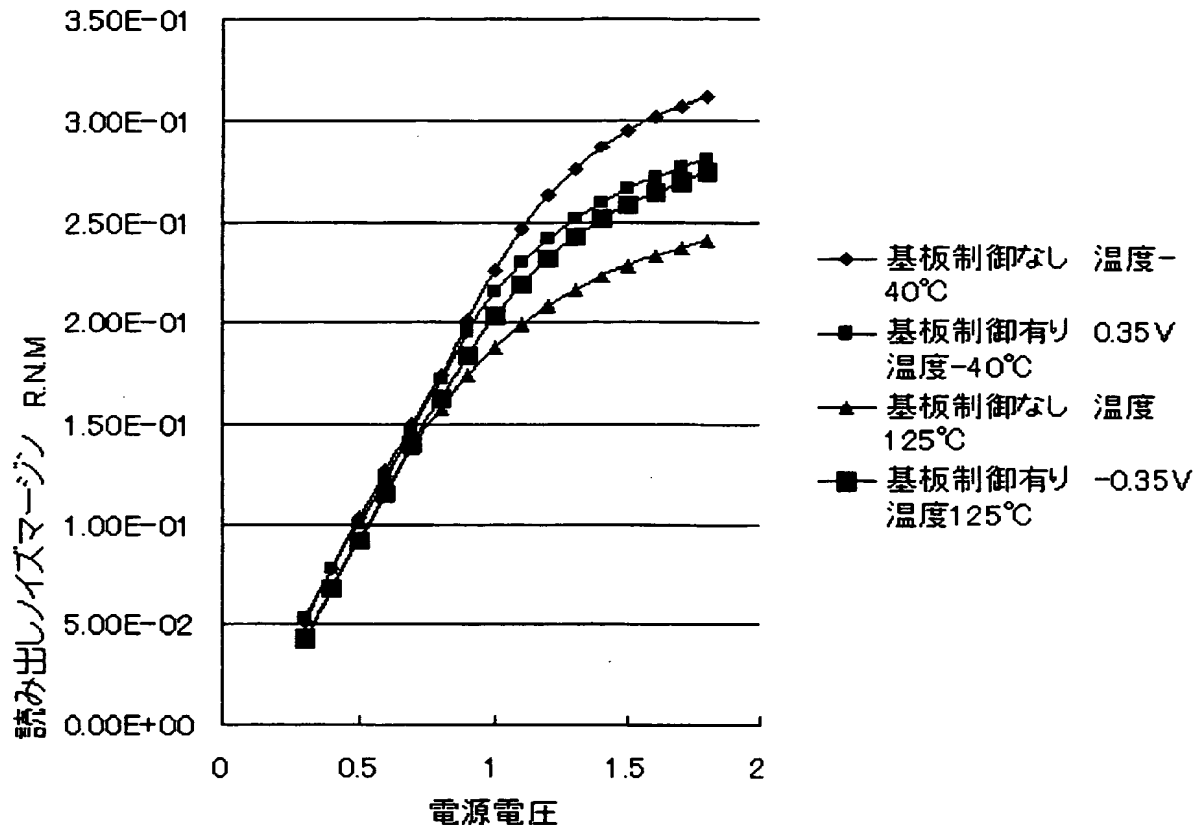


【図 13】

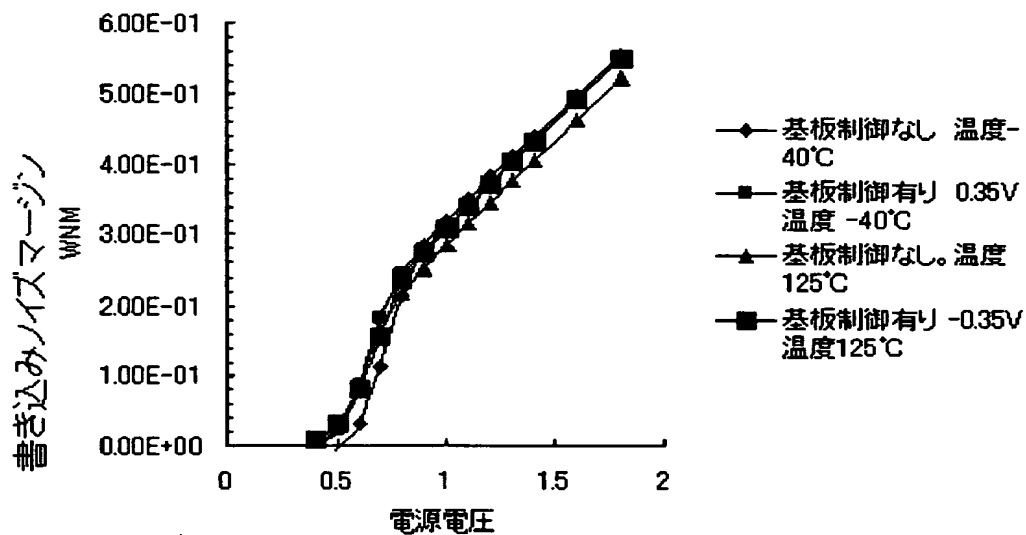




【図 15】

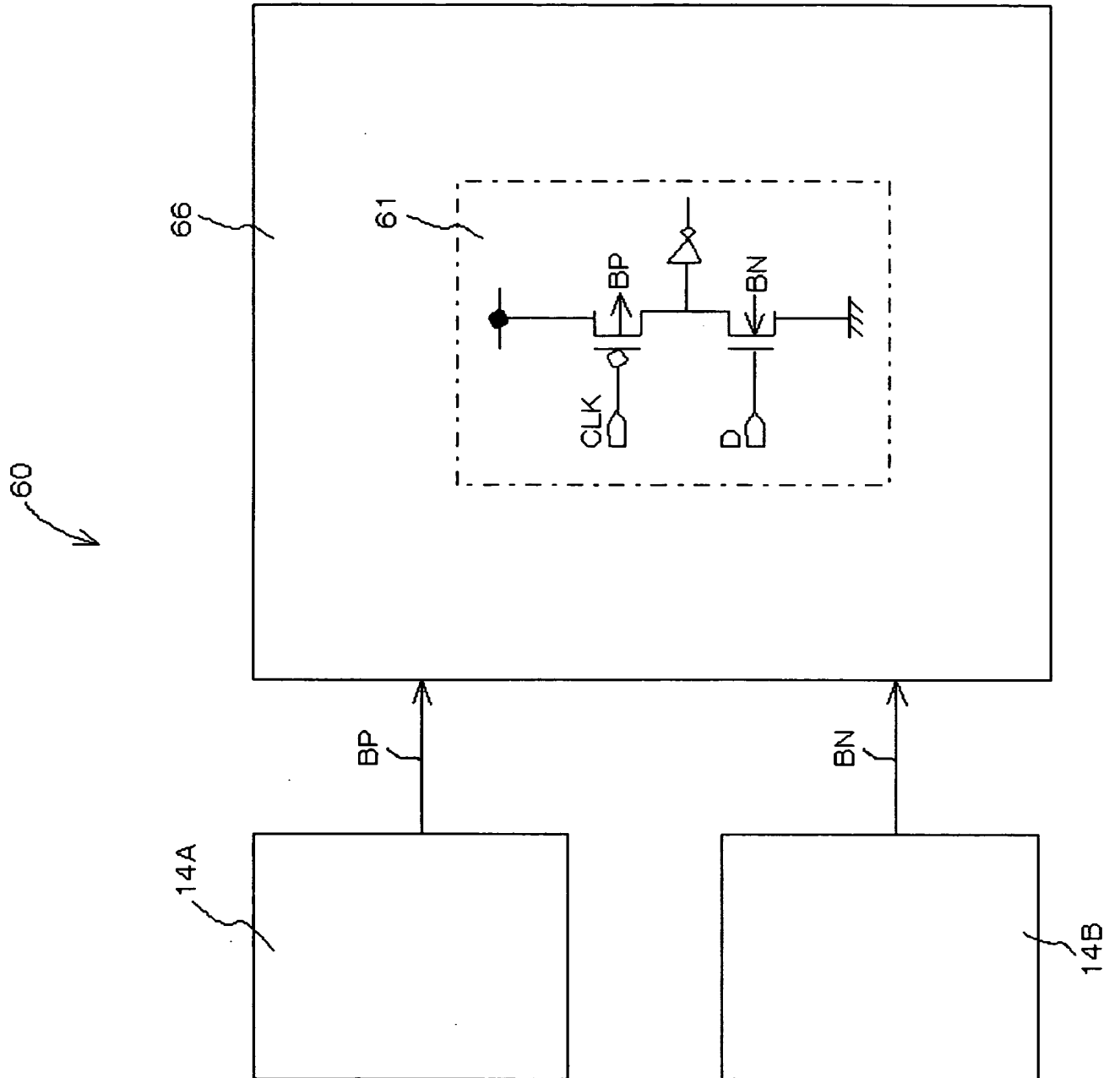


【図 16】

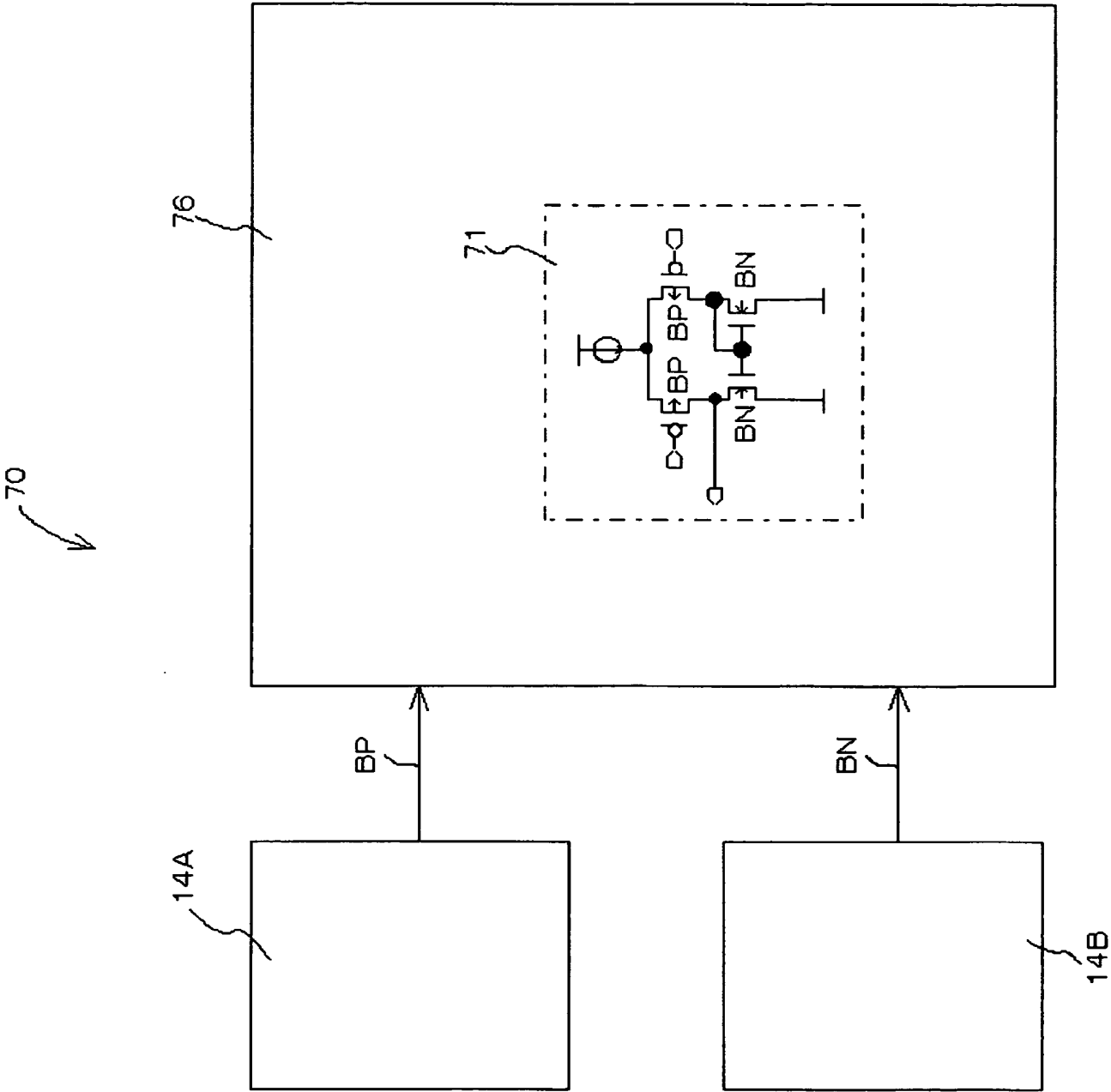




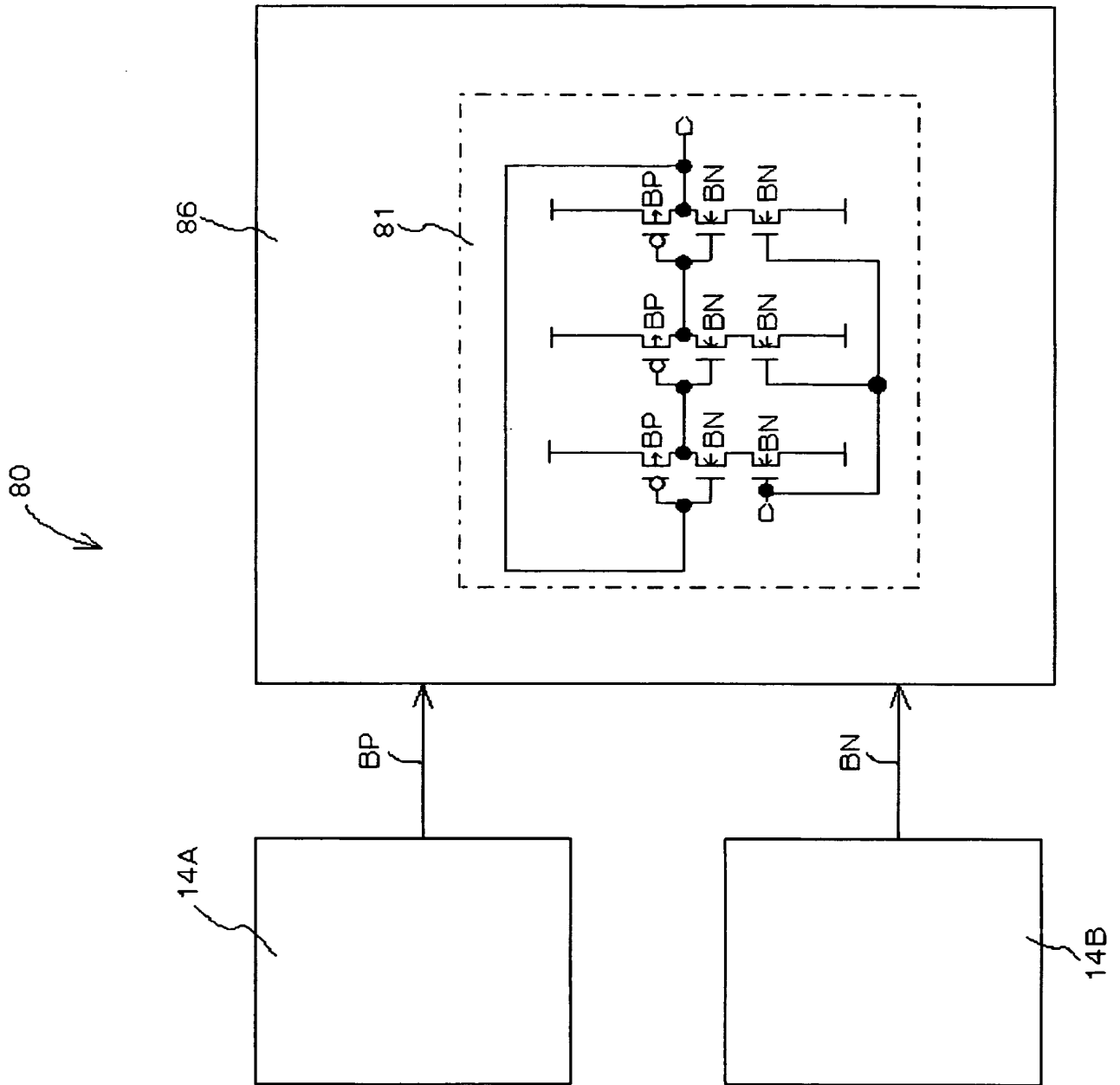
【図 17】



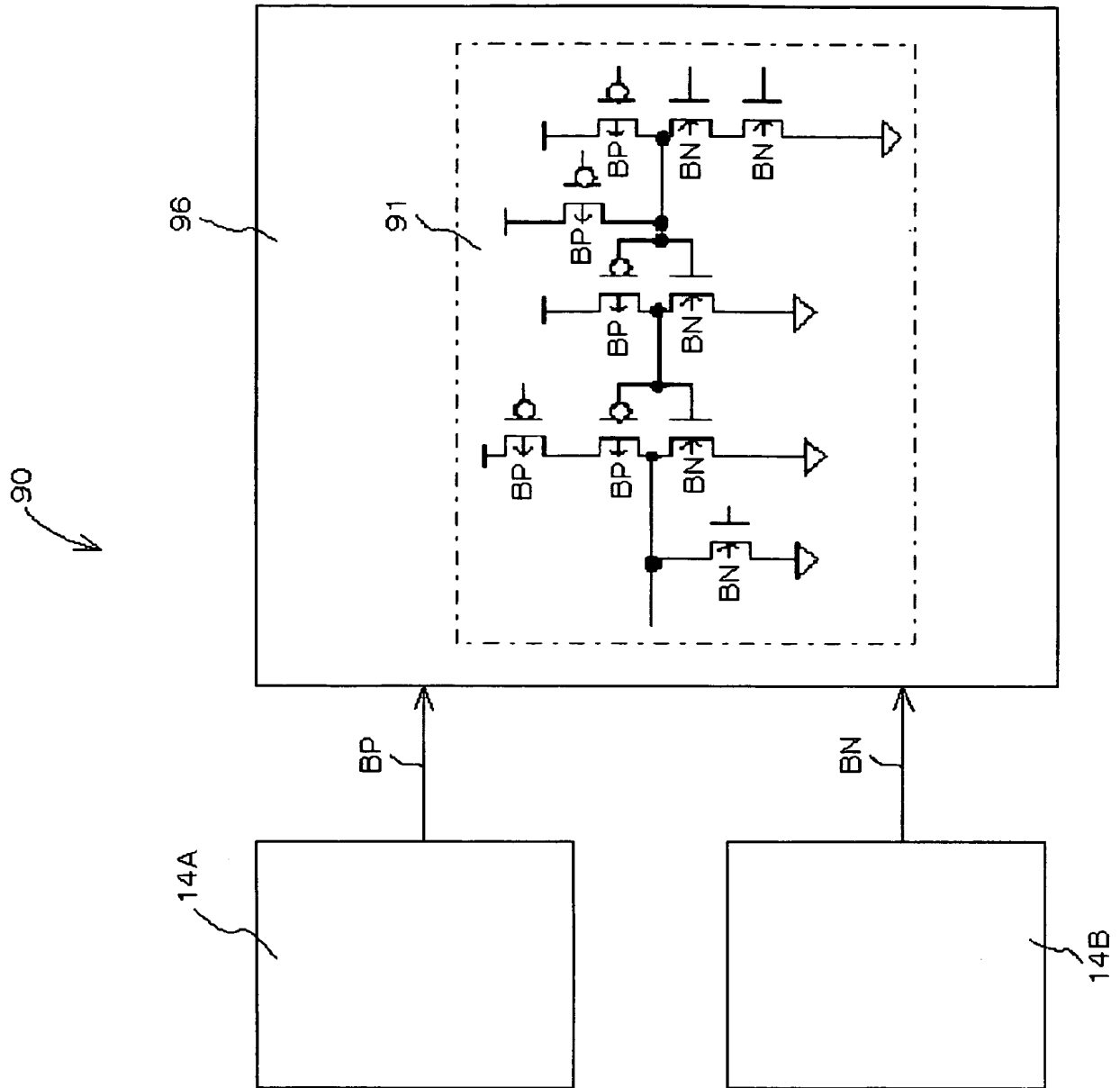
【図 18】



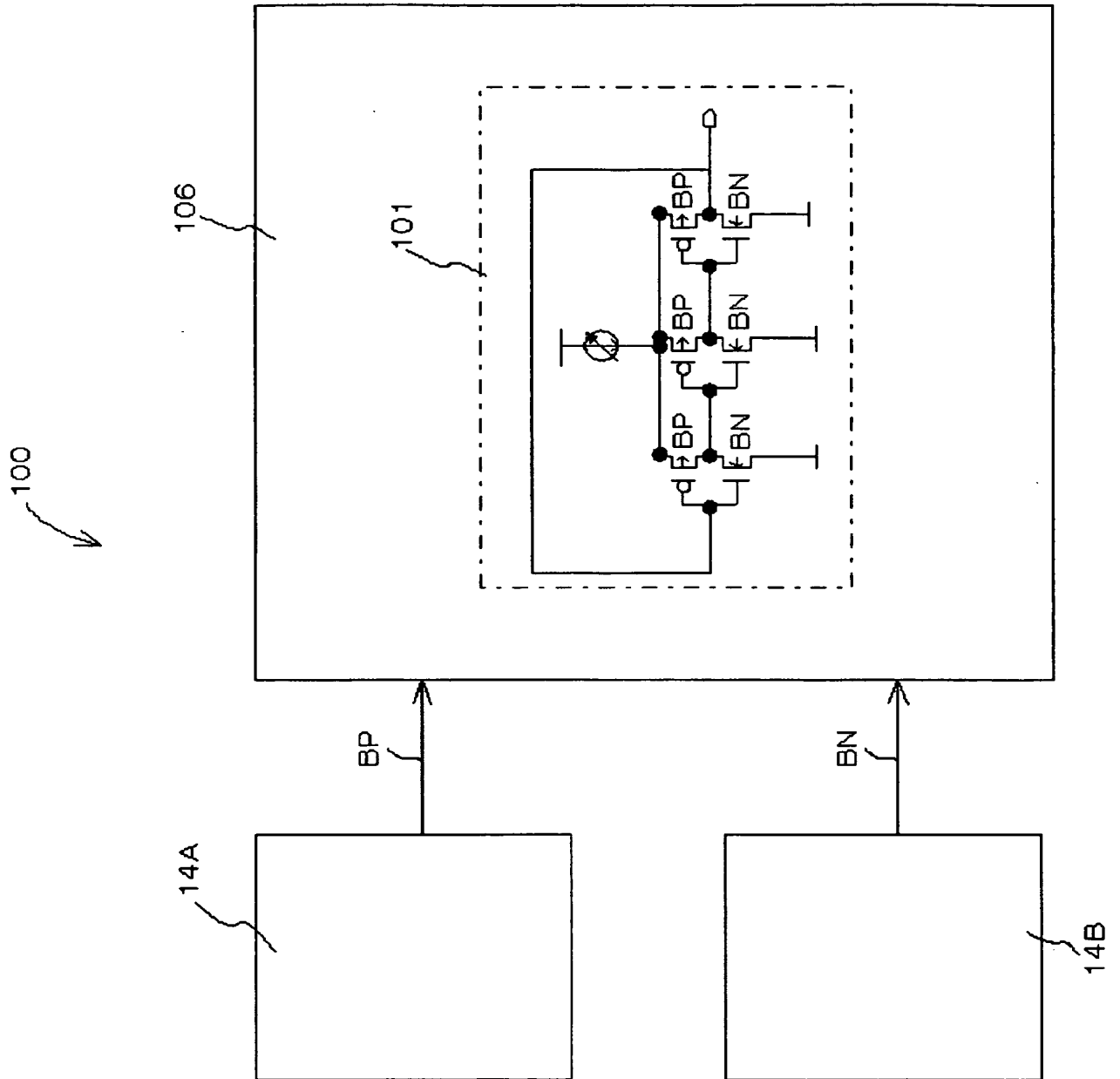
【図 19】



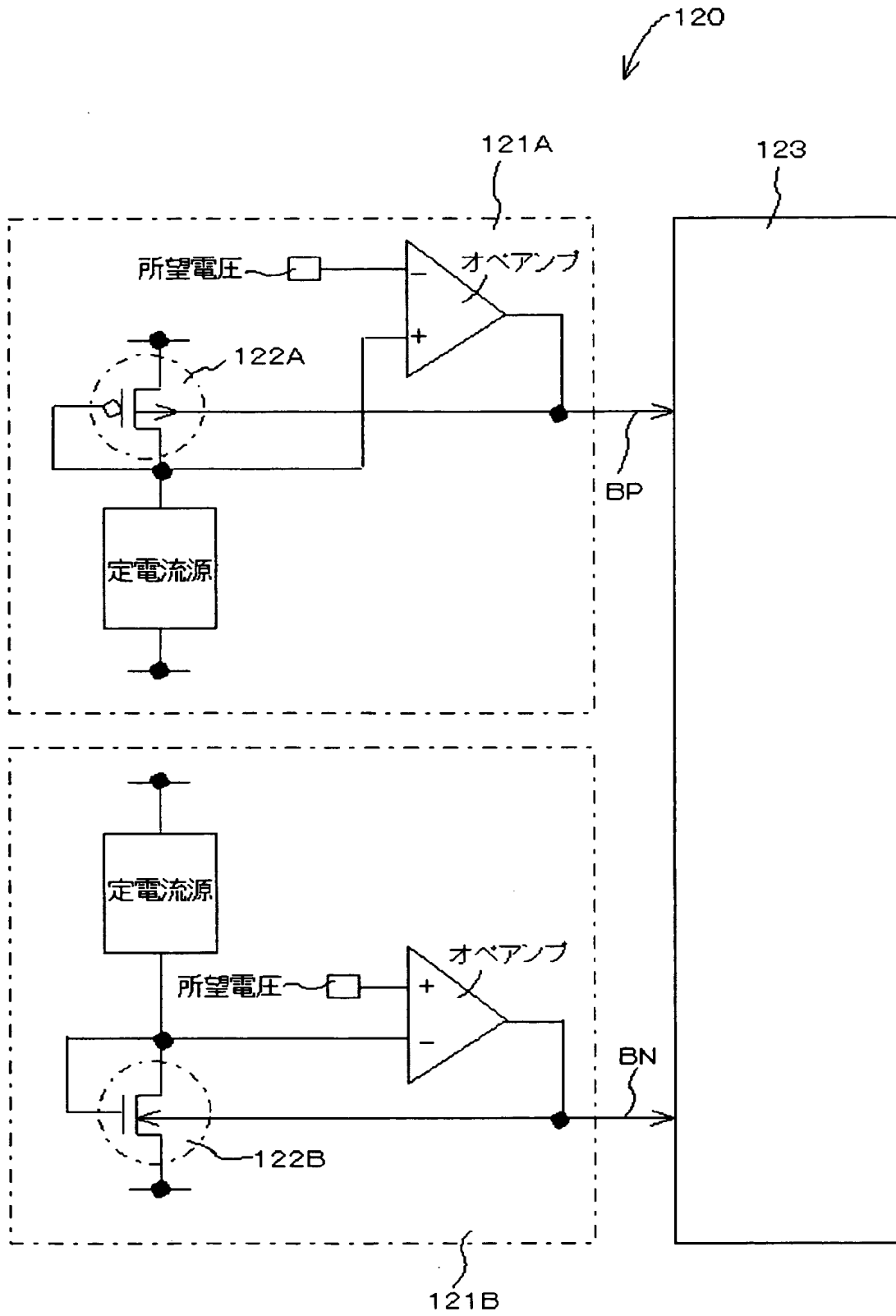
【図 20】



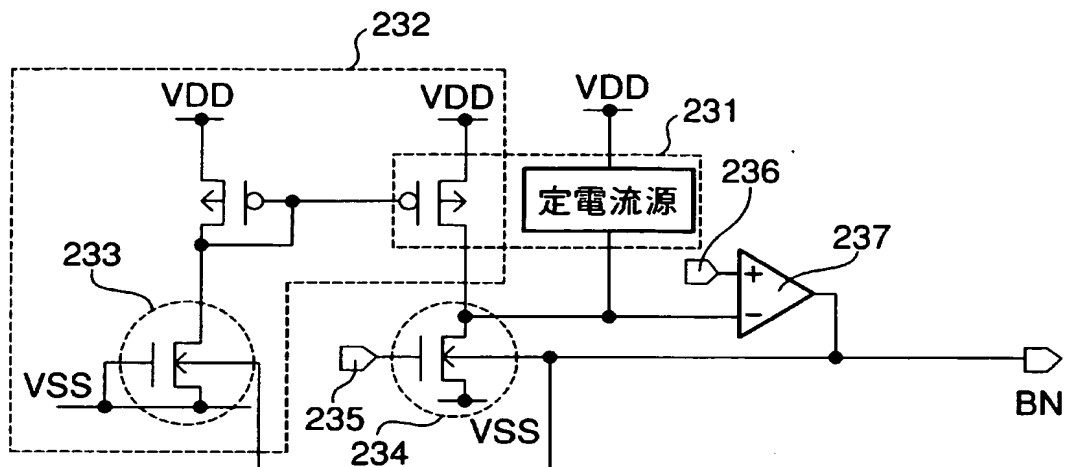
【図 21】



【図 22】



【図 2 3】



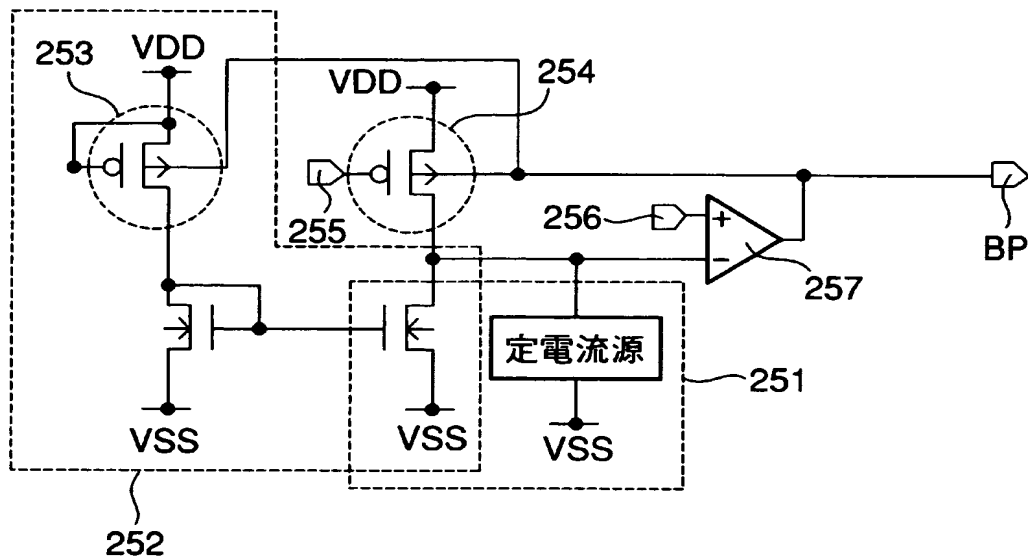
【図 2 4】

内部トランジスタ233  
Pウェル領域

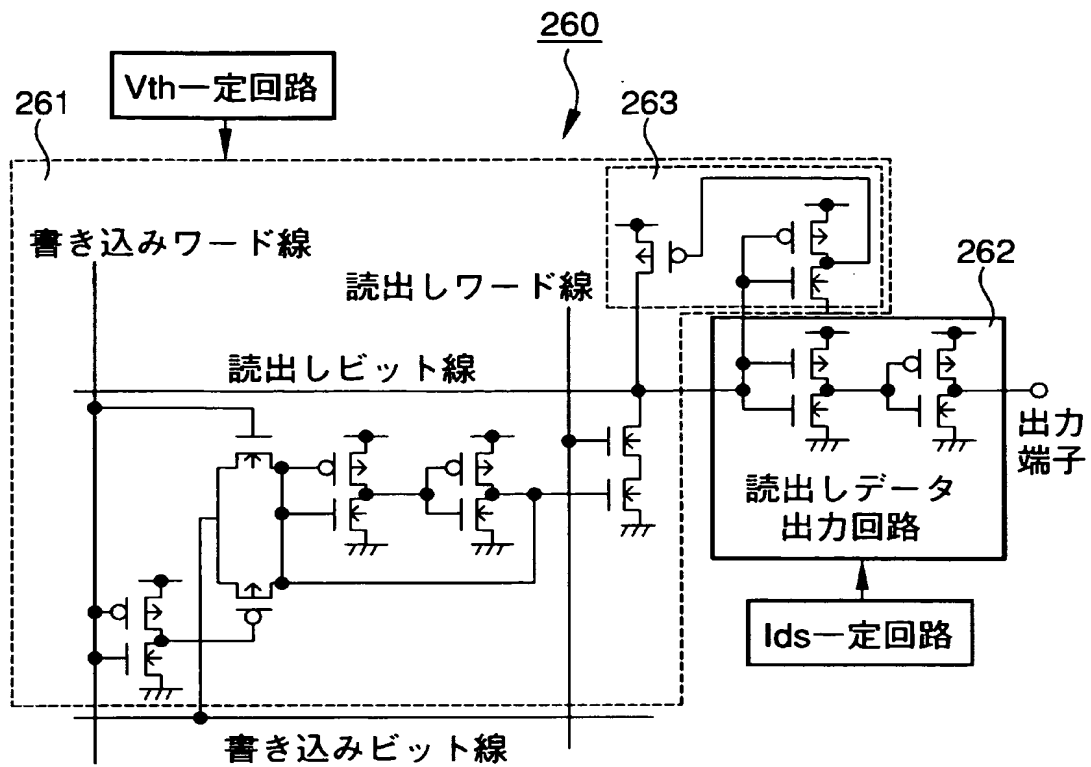
内部トランジスタ234  
Pウェル領域



【図 2 5】

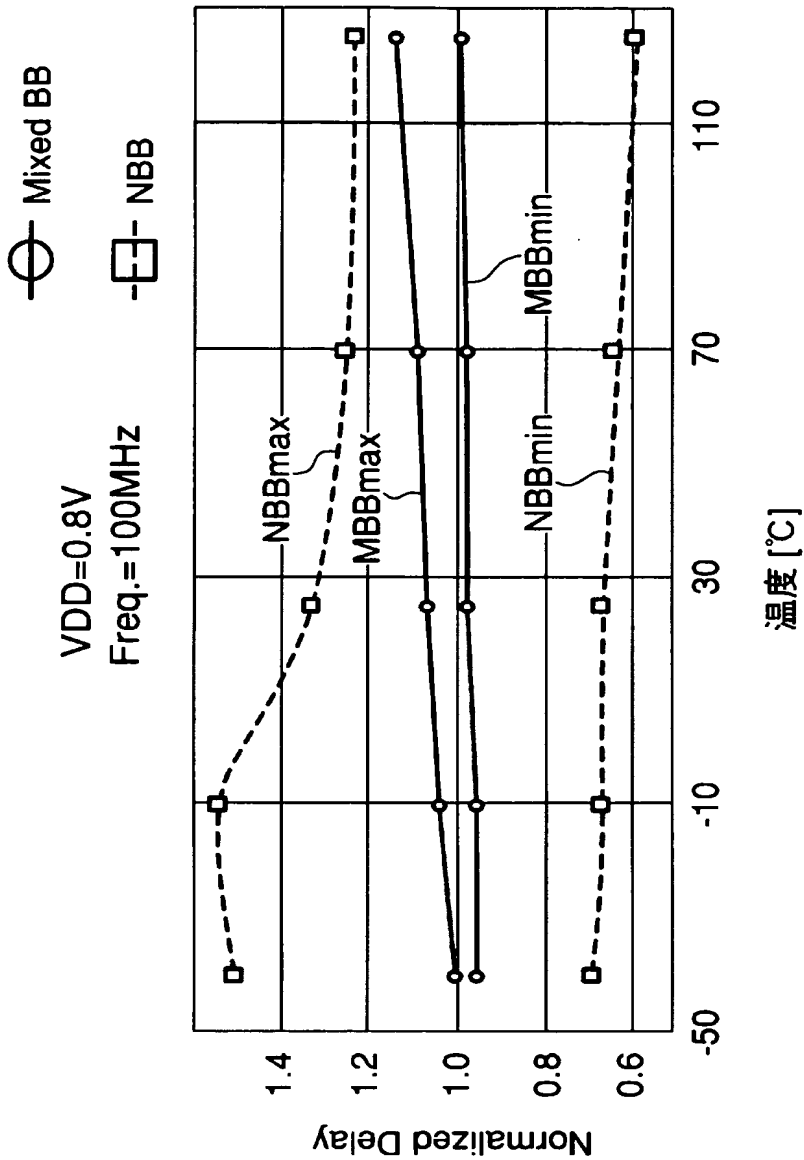


【図 26】

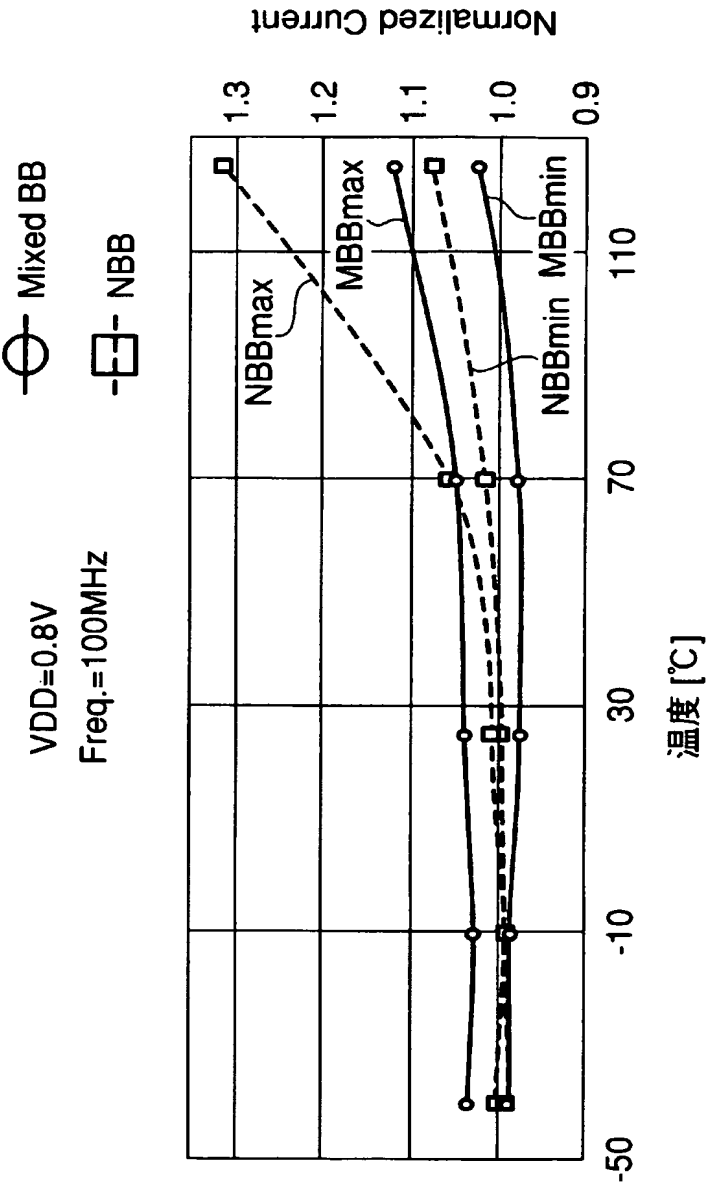




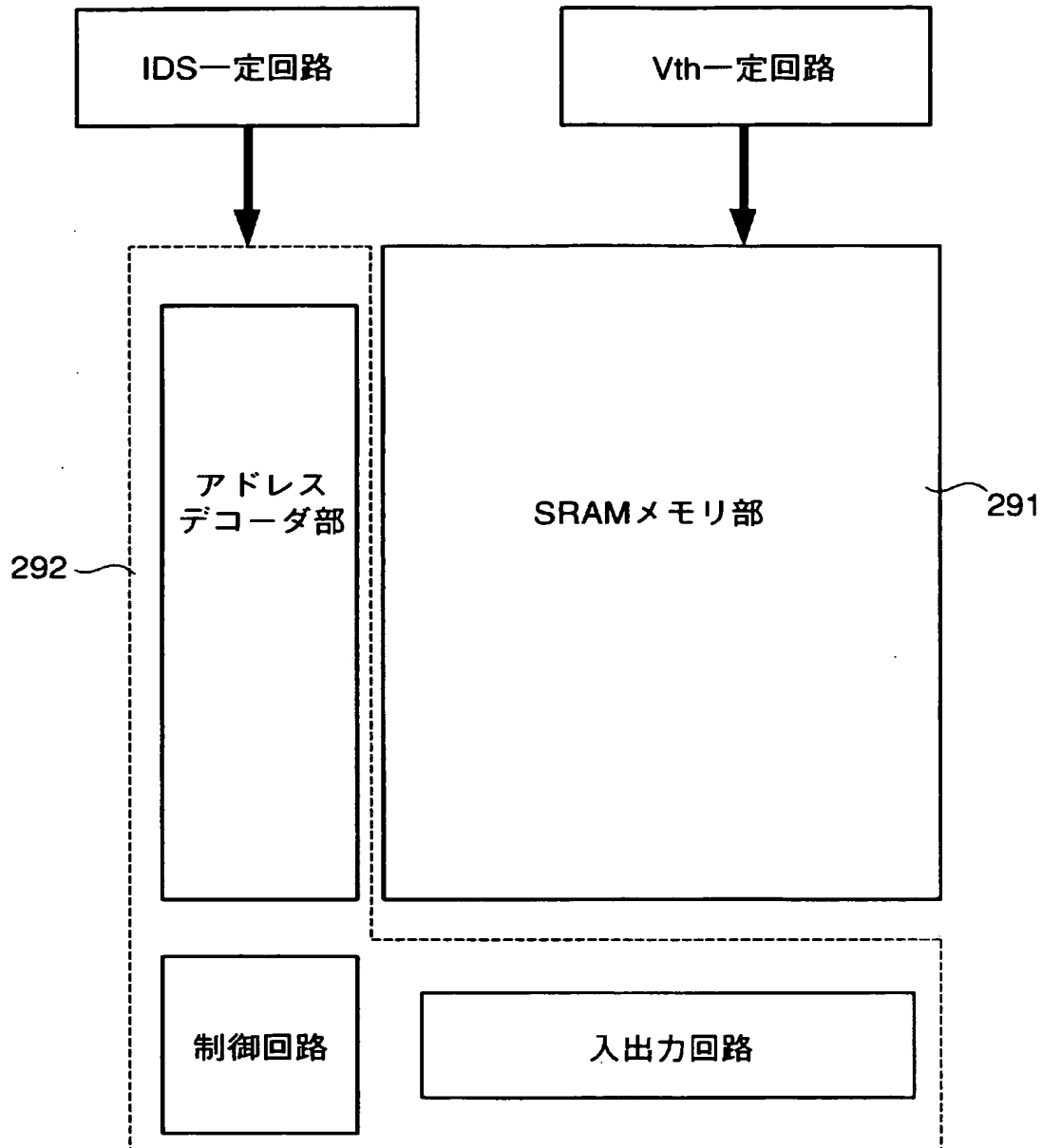
【図 27】



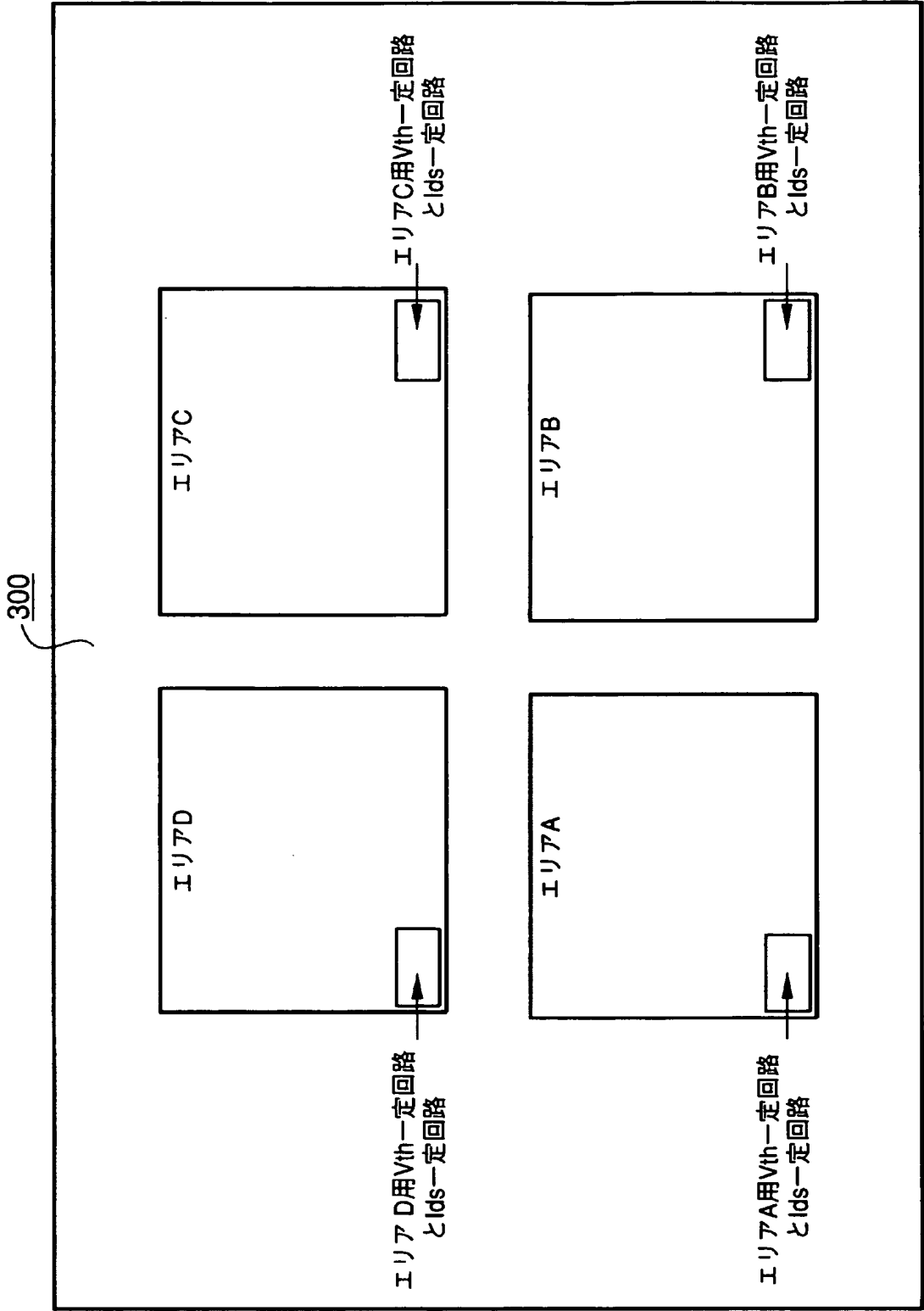
【図 28】



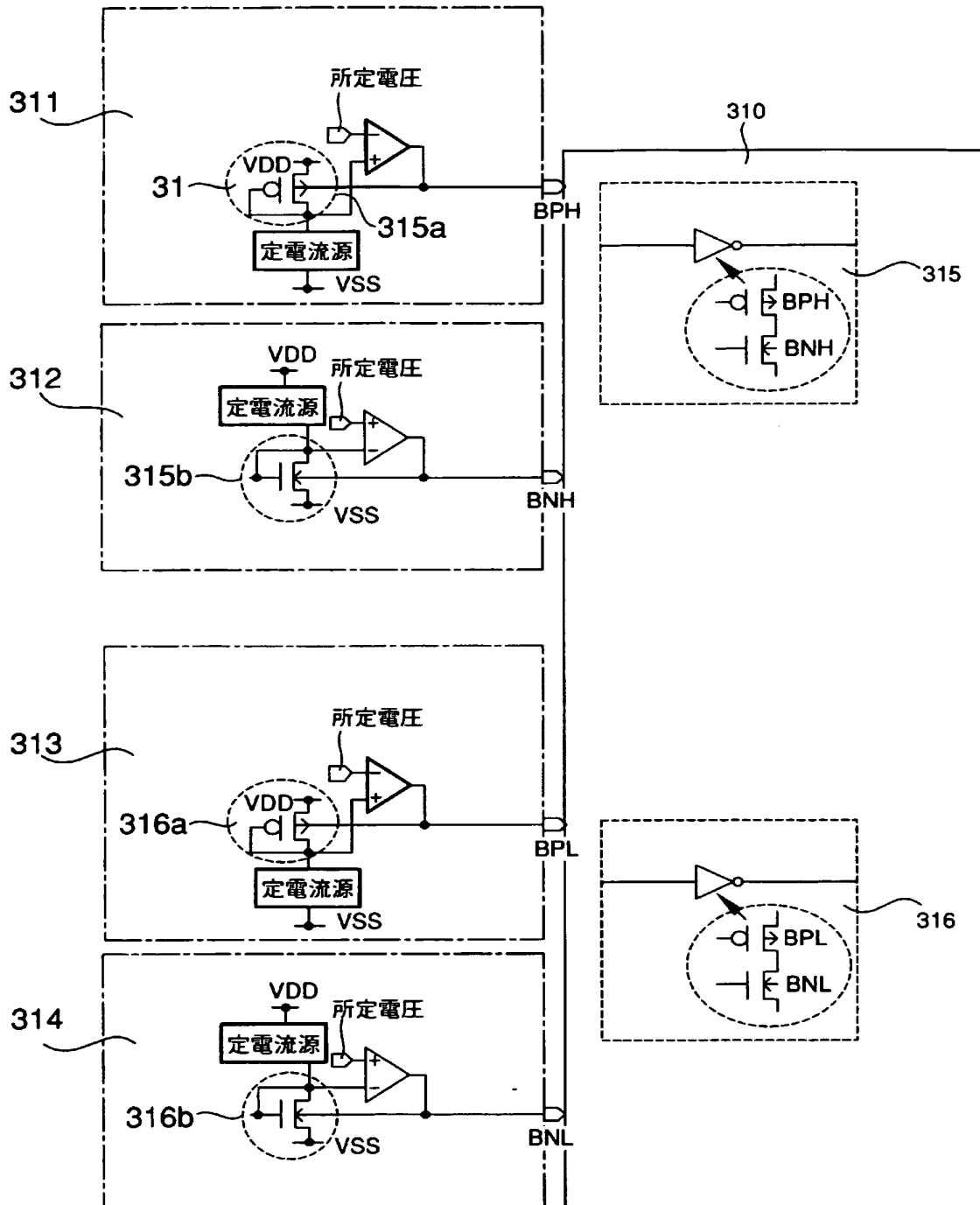
【図 29】



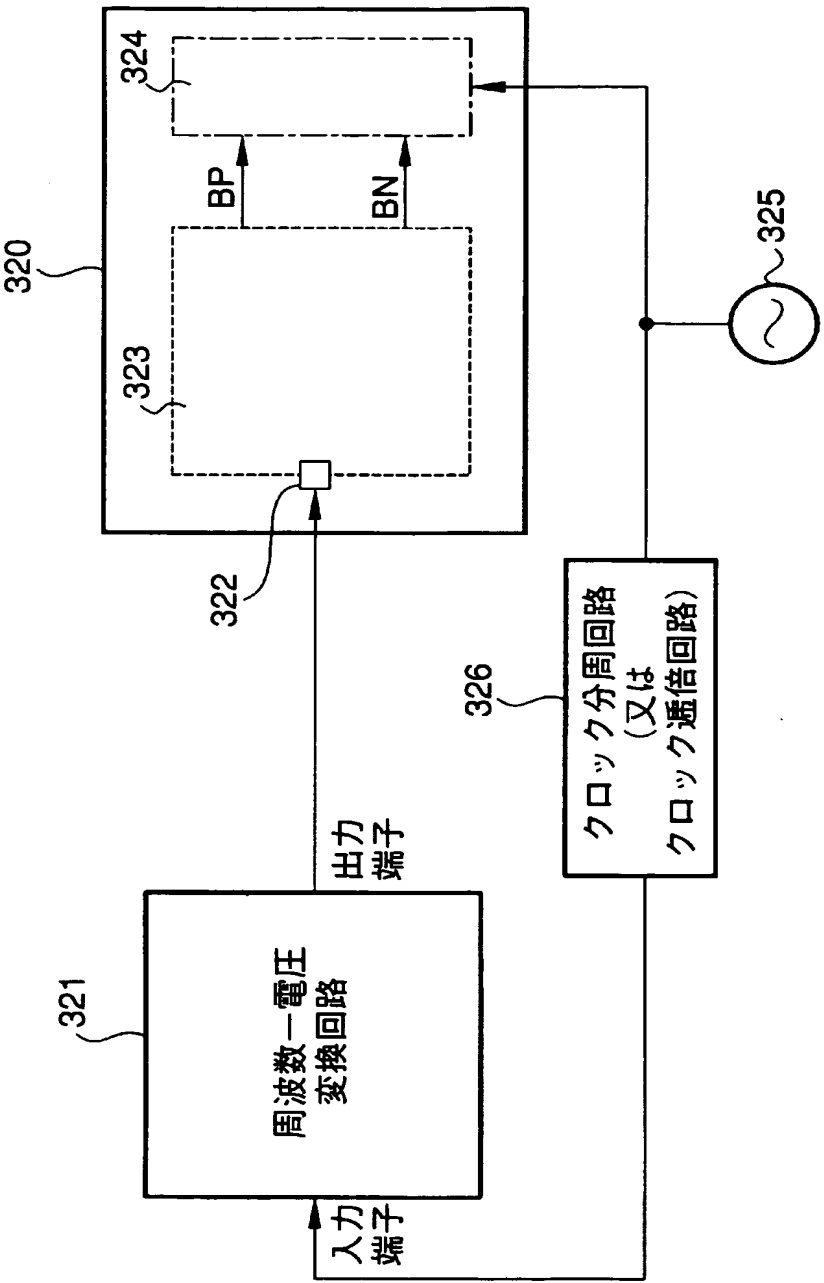
【図 30】



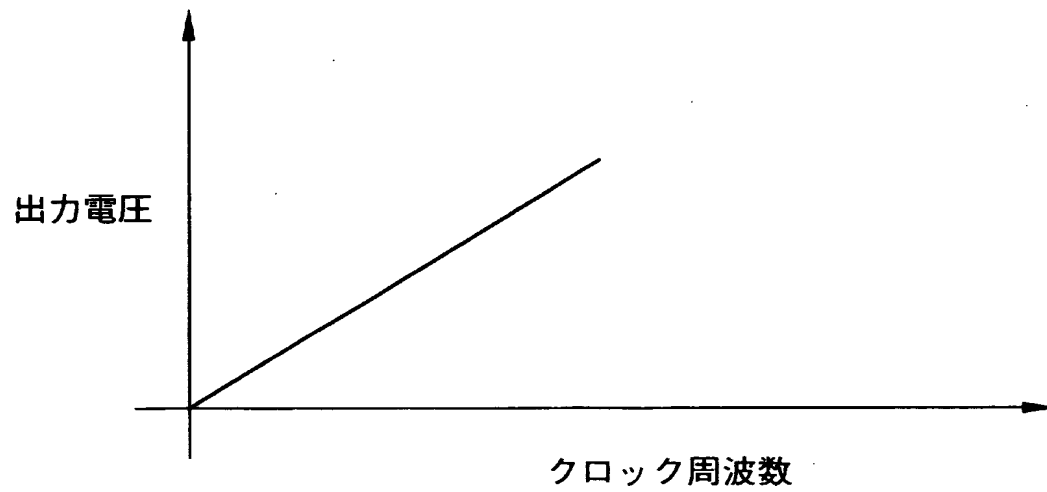
【図 31】



【図 3 2】

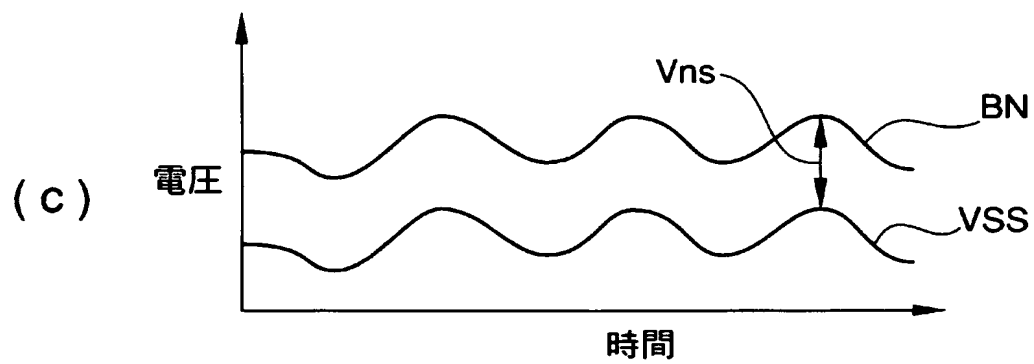
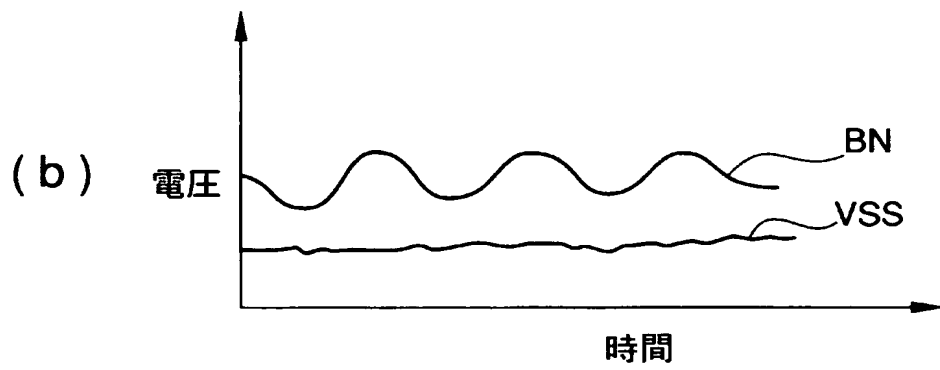
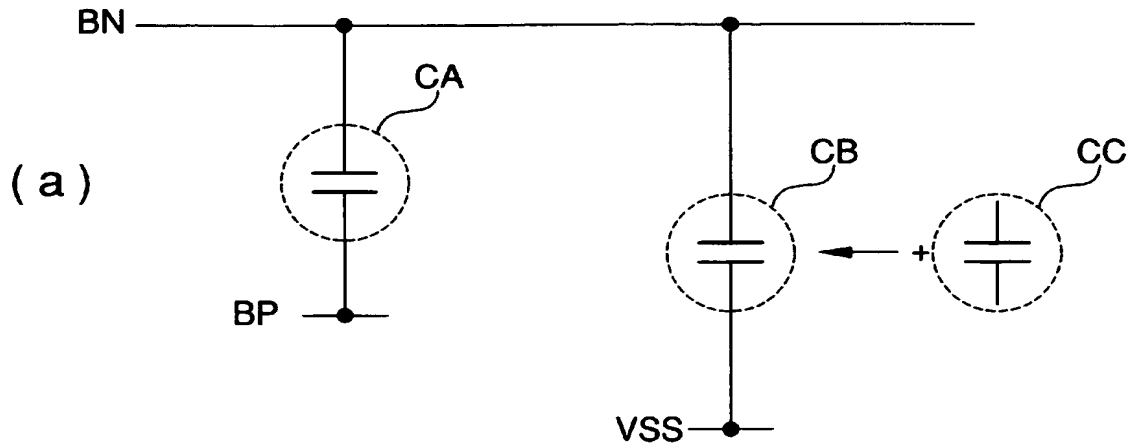


【図 3 3】



周波数－電圧変換特性

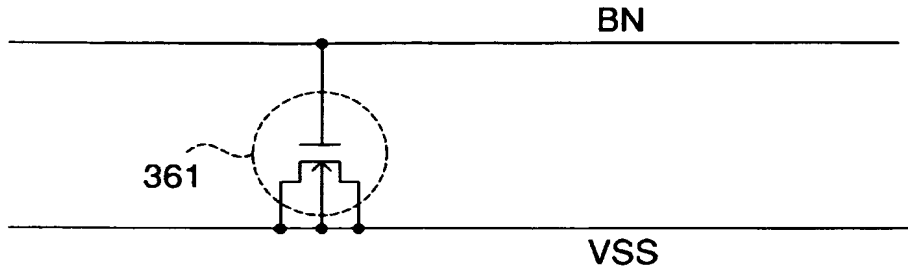
【図 34】



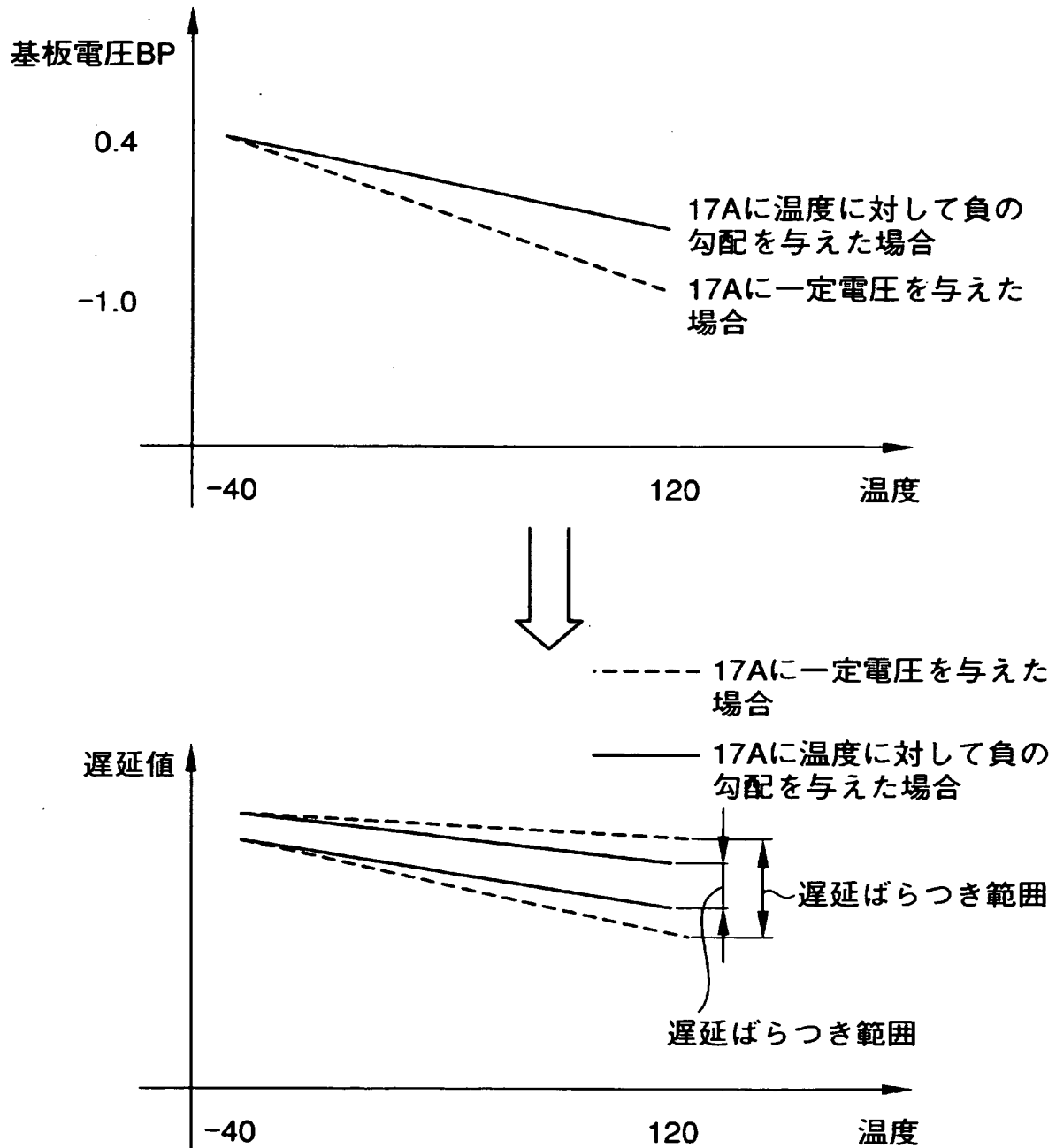




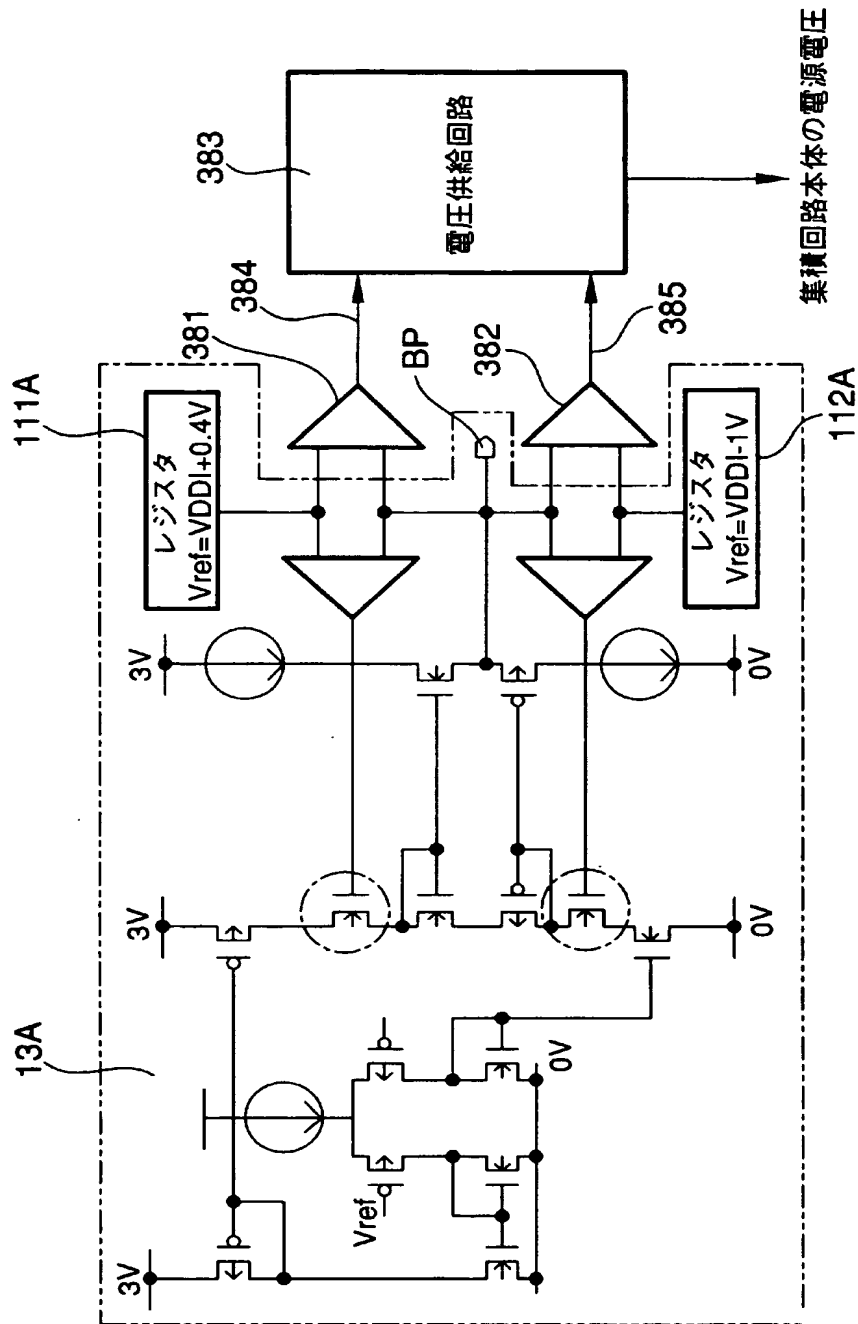
【図 36】



【図 37】



【図 38】



**【書類名】 要約書****【要約】**

**【課題】** MOSFETのサブスレッショルド領域、あるいは飽和領域のある任意のゲート電圧値のドレイン電流が温度依存性、プロセスばらつき依存性がないようにMOSFETの基板電圧を制御可能であり、動作安定性の向上を図ることができる半導体集積回路装置を提供する。

**【解決手段】** 半導体基板上に複数のMOSFETを備えた集積回路本体16Aと、複数のMOSFETのうちの少なくとも一つのドレイン電流をモニタするモニタ手段15Aと、ドレイン電流が一定になるように、半導体基板の基板電圧BPを制御する基板電圧調整手段14Aを具備し、モニタ手段15Aは、定電流源12Aと、前記複数のMOSFETと同一基板上に形成されたモニタ用MOSFET11Aと、を具備し、基板電圧調整手段14Aは、モニタ用MOSFET11Aのドレイン端子と、集積回路本体16Aの複数のMOSFETのドレイン端子と、を接地電位に接続した状態で、モニタ用MOSFET11Aのソース電位と、あらかじめ決められた基準電位と、を比較する比較手段13Aを具備し、比較手段13Aによる比較結果に基づいて出力された出力電圧を、モニタ用MOSFET11Aの基板電圧にフィードバックした。

**【選択図】** 図1

特願 2 0 0 3 - 3 5 8 8 9 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社